**附件1：**

**国家市场监督管理总局重点实验室（车规芯片测试与评价）2025年度开放课题申请指南**

现围绕国家市场监督管理总局重点实验室（车规芯片测试与评价）研究方向和发展需求，经面向社会征集开放课题方向和专家评审，提出2025年开放课题主要资助方向如下：

一、面向车载应用的高算力多芯粒存算融合处理器研究

**研究内容：**基于高算力智能车载应用需求，研究多芯粒存算融合处理器设计技术，研究基于SRAM存算融合的高算力多芯粒众核处理器存储架构、芯粒互连网络、数据同步通信机制、SRAM存算融合电路设计，以及面向智能应用的多芯粒存算融合处理器软硬件协同优化技术等。

**考核指标：**多芯粒存算融合处理器系统仿真模型1套（支持匹配包括transformer在内的大模型以及车载通用模型运行的性能、能效等评价；支持芯粒数量5个以上，互连拓扑配置4种以上等。）；提供各类模型性能、能效对比报告；发表或接收高算力处理器系统架构相关SCI、EI论文≥2篇，申请发明专利≥2项。

**研究周期：**1年（2025.07-2026.06）

**关键词：**高算力，多芯粒，处理器，SRAM存算融合，软硬件协同优化

二、基于大语言模型的车规芯片测试报告标准符合性智能审查系统研究

**研究内容：**针对车规芯片测试报告规范化解读需求，开展多模态测试报告的结构化解析与语义抽取研究：利用大模型技术对PDF、Word、图像扫描件、Excel等多源测试报告进行统一解析，识别文本、表格、图像、时序数据等内容结构；实现标题、段落、测试项、数据指标、图表的结构化切片，支持透明化引用追溯与智能纠错。研究车规标准知识库构建与动态更新机制：构建包含AEC-Q100、ISO 26262等车规标准的知识库，支持条款级别的精细解析、分域管理与动态扩展；支持标准条款的版本管理与可追溯更新，满足法规演进要求。完成测试报告与标准条款的智能对齐与符合性分析：开发标准条款与测试报告之间的自动对齐算法，支持嵌入向量匹配、逻辑规则匹配、知识图谱补全等多策略融合模型；建立问题发现机制，对不达标项提供出错位置定位及显示、自动生成出错描述，支持交互式验证与建议溯源。设计问答系统与人机交互平台：构建基于知识库与解析结果的智能问答系统，支持自然语言提问、标准条款查询、测试项验证等功能；支持多轮对话、语义纠错、推荐问题及上下文记忆，适配多角色使用场景（如芯片厂商、测试机构、标准制定者等）。系统交付与行业适配研究：交付一套模块化、可扩展的智能审查系统，支持嵌入式部署与API调用，具备高并发响应能力。

**考核指标：**技术指标：文档解析能力，测试报告解析准确率≥95%（针对结构化内容）、≥90%（针对半结构化内容），支持PDF、Word、Excel、CSV、扫描图像等5种以上文件格式；知识匹配能力，标准条款匹配准确率≥92%，召回率≥90%，标准条款匹配效率提升≥50%（相比人工匹配）；审查错误能力，不达标项识别准确率≥90%，审查错误效率提升≥70%；优化建议能力，优化建议生成准确率≥80%，优化建议采纳率≥30%，优化后复测通过率提升≥40%；应用覆盖能力，支持至少5类车规芯片（MCU、传感器、功率器件、通信芯片、存储器等）的测试报告审查。软硬件交付物：车规芯片测试报告标准符合性智能审查系统；车规标准知识向量库（含AEC-Q100、ISO26262等10项以上标准）；测试验证数据集、接口及文档。学术成果指标：申请发明专利2项、软件著作权1项，发表或接收EI论文1篇。

**研究周期：**1年（2025.07-2026.06）

**关键词：**车规芯片测试，大模型，智能解析，标准符合性，优化建议

1. 车规芯片电路等价性验证的并行加速算法研究

**研究内容：**针对EDA工具在组合等价性验证过程中面临的计算量指数级增长和海量数据存储瓶颈问题，研究如何多层次全面挖掘EPS（Equivalence Partitioning with Signatures）算法的并行性，加速验证速度，推动国产EDA工具的发展；研究如何结合EPS算法特征设计定制化的压缩、编码技术，兼顾高压缩率与快速读写，解决存储与传输瓶颈，保障电路组合等价性验证的高性能执行；研究如何实现对计算、存储和传输资源的调度与管理，保持系统的高并行度与高性能；研究该算法的可扩展性；基于商用GPU平台完成不低于32bit乘法器的EPS等价性验证。

**考核指标：**应用并行加速算法，基于商用GPU平台的EPS等价性验证的对比报告（性能效率、准确性、资源消耗、可扩展性 ）；发表或接收SCI论文≥1篇、EI论文≥1篇，申请发明专利≥2项。

**研究周期：**1年（2025.07-2026.06）

**关键词：**等价性验证，EPS算法，高性能

四、汽车芯片电路板制造缺陷快速智能目检方法研究

**研究内容：**针对汽车芯片电路板制造缺陷的智能识别需求，构建覆盖多类型缺陷的高质量训练与测试数据集，解决复杂场景或极端场景下的样本缺失和样本失衡问题，完善图像分辨率偏差跨度过大的现象，有效处理相似缺陷特征模糊的限制；开展复杂场景下芯片电路板缺陷小目标智能视觉识别目检模型，有效区分含噪声背景中的相似负样本和目标缺陷，实现小目标对象的精准实时检测，具备多类别相似缺陷密集分布的稳健识别能力，突破复杂环境对缺陷识别准确率的制约；研发支持物理尺寸检测的功能模块；为满足缺陷智能检测效率和资源消耗的双重要求，在确保检测精度的基础上对模型进行轻量化设计研究，采用知识蒸馏、结构剪枝等手段压缩模型深度及特征层信息，研发不显著提升可训练参数等资源过度占用的模块提升模型的检测能力，保证其在边缘设备上的部署效率与稳定性。缺陷检测模型需具备在服务器端部署和实时检测的能力（至少满足单张NVIDIA Tesla T4卡的实时推理），轻量化模型的参数量规模应至少压缩至4M以内，并研发基于设备端（或结合云端）的缺陷质检系统App。

**考核指标：**技术指标：识别准确率≥90％，误报率≤5％、响应时间≥2s；成果指标：申请发明专利≥3项、发表或接收SCI论文≥2篇；其他指标：（包括物理尺寸检测在内的）缺陷检测模型1套、数据集1套、研究报告1份、缺陷质检软件1套。

**研究周期：**1年（2025.07-2026.06）

**关键词：**芯片电路板，缺陷检测，机器视觉，深度学习