

车规级芯粒系统芯片

综合研究报告

(2024年)

国家新能源汽车技术创新中心

北京大学

哈尔滨工业大学

紫光同芯微电子有限公司

苏州太昊慧芯微电子有限公司

清华大学

中山大学

中国科学院计算技术研究所

北京新能源汽车股份有限公司

中国汽车芯片产业创新战略联盟

2024年10月

指导委员会

李兆麟	清华大学、国家新能源汽车技术创新中心
原诚寅	国家新能源汽车技术创新中心、中国汽车芯片产业创新 战略联盟
王 源	北京大学
虞志益	中山大学
李华伟	中国科学院计算技术研究所
王进祥	哈尔滨工业大学
邹广才	国家新能源汽车技术创新中心、中国汽车芯片产业创新 战略联盟

编制人员

王明羽	中山大学
张永昌	国家新能源汽车技术创新中心、清华大学
贾 嵩	北京大学
王天成	中国科学院计算技术研究所
付方发	哈尔滨工业大学
黄 钧	紫光同芯微电子有限公司
张兆龙	北京新能源汽车股份有限公司
刘慧瑾	苏州太昊慧芯微电子有限公司

目 录

序.....	1
第 1 章 引言.....	3
1.1 车规级芯粒系统芯片的定义.....	3
1.2 车规级芯粒系统芯片的发展背景和重要性.....	4
1.3 车规级芯粒系统芯片的类型.....	5
1.4 综合研究报告的结构与意义.....	8
第 2 章 车规级芯粒系统芯片的特性需求.....	9
2.1 可靠性.....	9
2.2 电磁兼容性.....	10
2.3 功能安全.....	11
2.4 信息安全.....	12
2.5 车规级芯粒系统芯片集成.....	14
2.5.1 集成设计.....	15
2.5.2 低功耗设计.....	15
第 3 章 车规级芯粒系统芯片的制造工艺.....	17
3.1 车规级芯粒系统芯片封装技术.....	17
3.1.1 2D MCM 封装.....	17
3.3.2 2.5D 封装.....	18
3.1.3 3D 封装.....	19
3.2 车规级芯粒系统芯片工艺分类.....	20
3.2.1 中介层制造工艺.....	20
3.2.2 互连集成工艺.....	21
3.2.3 散热工艺.....	21
3.3 车规级芯粒系统芯片工艺可靠性.....	22
3.3.1 晶圆翘曲.....	23
3.3.2 焊点可靠性.....	23
3.3.3 RDL 互连可靠性.....	24
3.3.4 TSV 可靠性.....	25
第 4 章 车规级芯粒系统芯片设计与实现.....	26
4.1 车规级芯粒系统芯片分解组合与集成.....	26

4.1.1 车规级芯粒分解.....	26
4.1.2 车规级芯粒组合.....	28
4.1.3 车规级芯粒集成.....	28
4.2 车规级芯粒系统芯片互联通信设计.....	29
4.3 车规级芯粒系统芯片存储设计.....	30
4.4 车规级芯粒系统芯片高速接口电路.....	31
4.5 车规级芯粒系统芯片软硬件协同设计.....	32
4.6 车规级芯粒系统芯片可靠性与安全性设计.....	33
第5章 车规级芯粒系统芯片的测试与验证.....	34
5.1 功能测试.....	34
5.2 性能测试.....	35
5.3 可测试性设计与测试.....	36
5.4 可靠性测试.....	38
5.5 功能安全测试.....	39
5.5.1 车规芯粒的故障仿真.....	40
5.5.2 车规级芯粒系统芯片功能安全分析.....	41
5.6 信息安全测试.....	43
5.6.1 芯粒溯源.....	43
5.6.2 芯粒木马攻击.....	43
5.7 环境适应性测试.....	45
第6章 标准体系建设及规划.....	47
6.1 标准需求分析.....	47
6.2 标准体系建设.....	48
6.3 工作规划.....	50
第7章 结论与展望.....	52
主要参考文献.....	53

序

新能源汽车的信息化、智能化和网联化发展对自动驾驶芯片、智能座舱芯片等高端芯片的功能与性能要求越来越高，对芯片产品的迭代周期要求越来越短，对芯片生产制造成本的要求也越来越严格苛刻。例如，英伟达公司 2022 年研制的 ORIN 自动驾驶芯片的算力达 254 TOPS，2024 年研制的 THOR 自动驾驶芯片更是达到 2000 TOPS 算力。然而，高端芯片对先进工艺的依赖导致其研发费用一直居高不下。5nm 芯片的研发费用超过 5 亿美元，3nm 芯片的研发费用更是超过 10 亿美元，因此通过先进工艺提升高端芯片的性能已经变得更加困难。此外，美国最新修订了《出口管理条例》，在以往的《芯片与科学法案》基础上进一步限制我国高端芯片的设计、生产及获取能力，严重影响包括新能源汽车在内的多种产业的可持续健康发展，依赖先进工艺和单芯片全功能集成的传统高端芯片研发方式已经无法满足新能源汽车的发展需求。在国内产业发展需求与国际贸易对抗的双重背景下，我国亟须开展超越摩尔定律的技术创新，找到高端芯片突破工艺限制和性能快速升级的新途径，巩固壮大我国在新能源汽车领域的领先优势。

在此背景下，车规级芯粒系统芯片作为汽车半导体技术领域的里程碑式创新，可以实现前所未有的功能集成与性能升级，标志着汽车电子电控系统向更高性能、更高集成度、更快发展速度跨越。这一技术革新不但重新定义了车规级芯片的边界，还成为推动汽车信息化、智能化和网联化转型的关键力量。车规级芯粒系统芯片和工业级、消费级芯片最大的不同在于车规级芯粒系统芯片的可靠性和安全性需要满足 AEC-Q、ISO 26262 等系列标准，并且在芯粒系统芯片设计、制造、封装和测试过程中需要全程满足 IATF 16949 质量管理体系认证。这些要求对车规级芯粒系统芯片相关从业人员提出更加严格的要求，也需要在设计、生产、制造过程中形成系列方法体系和标准。标准化的设计、生产和制造有助于推进车规级芯粒系统芯片的广泛应用和更新迭代，利于汽车芯片行业的快速、高质量进步，最终可以支撑和保障汽车产业的健康持续发展。

报告将从车规级芯粒系统芯片的定义、发展背景、重要性及其多样化的类型出发，围绕“车规级芯粒系统芯片”这一核心主题，构建全面系统的研究框架，深入探讨该领域的关键技术、发展现状、未来趋势及其对汽车行业的影响，分别介绍车规级芯粒系统芯片的特性需求、车规级芯粒系统芯片的制造工艺、车规级

芯粒系统芯片的设计与实现，以及车规级芯粒系统芯片的测试与验证等。最后，报告将根据工作组对车规级芯粒系统芯片的标准需求进行研究分析，提出车规级芯粒系统芯片的标准体系建设框架，对近期工作进行规划，以促进车规级芯粒系统芯片技术的研究、应用和健康发展。

第1章 引言

1.1 车规级芯粒系统芯片的定义

芯粒译自英文单词 Chiplet，是指预先制造好的、未封装的裸片（Die），通常由第三方研发并经过流片验证，具备特定功能，符合标准接口设计，可授权在不同的芯片项目中重复使用。

芯粒系统芯片（Chipleted System-on-Chip, Chipleted SoC），是指基于芯粒的系统芯片，采用先进的设计、制造、封装、测试等技术将多个功能各异、电路不同的芯粒快速集成在一个基板上，可满足特定应用的功能与性能需求。

车规级芯粒系统芯片（Automotive-grade Chipleted SoC），是指适用于汽车电子系统的芯粒系统芯片，不但满足汽车电子系统日益增长的功能与性能需求，而且可靠性、安全性、稳定性等指标符合车用电子元器件的规格要求。

车规级芯粒系统芯片作为汽车半导体技术领域的里程碑式创新，实现了前所未有的功能集成与性能优化，标志着汽车电子电控系统向更高性能、更高集成度、更快发展速度的跨越。这一技术革新不但重新定义了车规级芯片的边界，而且还成为推动汽车的信息化、智能化和网联化转型的关键力量。相较于传统的高度集成的单一芯片，车规级芯粒系统芯片展现了诸多显著优势。首先，它有效突破了传统封装技术的限制，大幅提升了互连带宽，降低了封装成本，为汽车电子电控系统提供了更为灵活和高效的解决方案。其次，它在设计之初便充分考虑了汽车行业对环境适应性、实时性、确定性、功能安全、信息安全、低功耗及故障检测与容错等方面的严格要求。车规级芯粒系统芯片不但可以集成高精度的模拟和数字电路，以应对汽车系统中复杂的数据处理、信号控制及执行任务所需的高性能计算与控制，而且还可以内置强大的加密与防护芯粒，以确保车辆控制系统和用户数据免受未经授权访问和网络攻击等，从而实现信息安全。

此外，车规级芯粒系统芯片的设计方法论—芯粒级 IP 复用与预制组合，为汽车电子电控系统的快速发展注入了新的活力。通过精心挑选和组合不同功能的芯粒，车规级芯粒系统芯片可以迅速构建出满足特定需求的定制化芯片，大大缩短了产品从设计到上市的时间周期。这种高度灵活和可定制的设计方式，不仅满足了汽车电子电控系统日益增长的复杂性需求，也可为汽车制造商提供了更加丰富的选择空间，以快速响应市场变化和客户需求。

因此，车规级芯粒系统芯片以其卓越的性能、高度的可靠性和灵活的设计方法，正逐步成为现代汽车电子电控系统的核心器件。随着汽车产业的不断发展和技术进步，车规级芯粒系统芯片的应用前景将更加广阔，为推动汽车产业向智能化、电动化和网联化方向迈进提供强有力的技术支撑。

1.2 车规级芯粒系统芯片的发展背景和重要性

汽车电子电控技术的演进是电子技术飞速发展与汽车工业需求持续升级交相辉映的必然结果。回溯历史，自 20 世纪 50 年代初期至 70 年代末，汽车电子电控技术逐渐崭露头角，电子组件逐步渗透并替代传统机械部件，为车辆综合性能的提升开辟了新纪元。进入 20 世纪 70 年代末至 90 年代中期，随着大规模集成电路技术的迅猛崛起，汽车电子电控系统逐步走向成熟，实现了汽车部件体积与重量的双重优化，而 8 位处理器的广泛应用，更是标志着汽车电子电控系统在可靠性与稳定性方面取得了重大突破。

自 21 世纪以来，汽车电子化、智能化的浪潮汹涌澎湃，对芯片性能提出了更为严苛的要求。在此背景下，车规级芯片应运而生，以其卓越的性能、高可靠性及高安全性，成为汽车电子控制系统的核心基石。车规级芯片不仅广泛应用于发动机管理、底盘控制、车身电子等传统领域，更在车载娱乐、自动驾驶等前沿领域展现出巨大潜力。这些芯片通过严格的质量管理（如 ISO/TS 16949）、可靠性（如 AEC-Q100）及功能安全（如 ISO 26262）标准认证，确保了其在汽车行业中的广泛应用与高度可信赖。

在车规级芯片的发展历程中，芯粒技术作为一项创新性的系统芯片技术，逐渐崭露头角并展现出重要价值。对于车规级芯片而言，芯粒技术的应用不仅满足了汽车行业对高性能、高可靠性及高安全性的严苛要求，更推动了车规级芯粒系统芯片的诞生与发展。近年来，随着 2.5D 集成技术深入发展，基于重分布层（Redistribution Layer, RDL）的扇出工艺（Fan Out）成为实现大规模芯粒集成的关键技术。RDL 技术通过增加芯片表面的布线层，显著提升了互连密度；而扇出工艺则提供了更灵活的芯粒布局方案与更大的集成规模。同时，在高性能处理器领域，3D 集成技术的成熟为车规级芯粒系统芯片带来了全新的发展机遇。通过硅通孔（Through Silicon Via, TSV）等关键工艺实现芯片内部的垂直互连，不仅大幅提升了数据传输速度，还使得芯片的集成度达到了前所未有的高度。这些

技术的融合与应用，为车规级芯粒系统芯片带来了更强大的处理能力与更复杂的功能集成能力。

随着汽车行业向智能化、电动化和网联化方向加速迈进，车规级芯粒系统芯片的重要性日益凸显。这些芯片不仅构成了汽车功能安全的基础，确保了自动驾驶与高级驾驶辅助系统（Advanced Driving Assistance System, ADAS）中数据的稳定与精准处理，保障了乘客与行人的安全；更以其高性能的处理能力支撑了日益增多的汽车电子电控系统功能需求，直接提升了汽车的响应速度与处理能力。车规级芯粒系统芯片的高性能与高可靠性成为了汽车智能化的坚实基础，为汽车行业的智能化与电动化转型提供强有力的技术支撑。

车规级芯粒系统芯片的创新与发展不仅推动了汽车电子技术的进步，更带动了整个产业链的协同效应。从设计、制造、封装到测试等各个环节的紧密合作不仅提升了产业链的整体效率与竞争力，还响应了市场对智能汽车与电动汽车的强烈需求。同时，车规级芯粒系统芯片的稳定供应对于全球汽车产业的稳定发展至关重要。技术进步与产业政策的双重支持为构建稳定的供应链体系提供了有力保障，减少了市场波动对汽车生产的影响。

展望未来，车规级芯粒系统芯片将在构建未来汽车生态中发挥核心作用。随着车联网、自动驾驶等技术的逐步成熟与应用推广，车规级芯粒系统芯片将在数据收集、处理与分析等方面发挥关键作用，推动汽车产业向信息化、智能化方向转型。同时，这些芯片在提高汽车能效、推动电动汽车发展等方面也将发挥重要作用，为实现汽车产业的可持续发展贡献力量。

1.3 车规级芯粒系统芯片的类型

车规级芯粒系统芯片，作为汽车电子电控系统中不可或缺的核心器件，其丰富的类型与高度的专业性，直接塑造了汽车智能化、电动化及网联化的发展深度与广度。在严谨的汽车芯片标准体系框架下，依据功能特性将车规级芯片细分为七大类别。这些芯片通过先进的芯粒集成技术，被巧妙地融合进新一代汽车电子架构中，为车辆提供了强大的功能支撑，可将其划分为计算芯粒芯片、控制芯粒芯片、传感芯粒芯片、通信芯粒芯片、存储芯粒芯片、安全芯粒芯片、新能源芯粒芯片等七个类别。

本节分别介绍这七大类车规级芯粒系统芯片，包括各自独特的功能定位和技

术要求与实现难点。从计算芯粒芯片这一智能中枢，到控制芯粒芯片对车辆各系统的精准调控；从传感芯粒芯片对外部环境的敏锐捕捉，到通信芯粒芯片实现车辆内外信息的无缝连接；再到存储芯粒芯片对海量数据的可靠存储，以及安全芯粒芯片为汽车信息安全筑起的铜墙铁壁；最后，新能源芯粒芯片（含功率芯粒芯片、驱动芯粒芯片、电源管理芯粒芯片等）也对车辆的性能、安全性和可靠性起着至关重要的作用，主要通过对电机驱动系统、车载充电系统、能源管理系统的管理实现能源的高效转换，提升新能源汽车的能源效率和续航里程。这七个类别车规级芯粒系统芯片，共同构建了汽车电子电控系统的坚实基础，引领着汽车行业向更加智能、高效、安全的方向发展。

1. 计算芯粒芯片

作为汽车智能化的大脑，计算芯粒芯片不仅承载着运行复杂操作系统和高级算法的重任，还负责处理自动驾驶、智能座舱等场景下的海量实时数据，其技术要求极高，需具备强大的计算能力和高效的数据处理能力，同时保证低功耗以延长汽车续航。实现难点在于，如何在有限的空间和功耗下，集成更多的计算单元，提高计算性能和计算效率，并确保长期运行的稳定性和可靠性。

2. 控制芯粒芯片

这类芯片遍布于汽车的各个控制单元，如发动机控制单元（ECU）、车身电子稳定系统等，是确保车辆安全稳定运行的关键。它们需具备高可靠性、快速响应能力和精确的控制算法，以应对复杂多变的驾驶环境。技术要求包括高精度传感器接口、强大的逻辑处理能力以及实时操作系统支持。实现难点在于，如何在恶劣的电磁环境下保持信号的稳定传输，同时确保控制算法的准确性和实时性，以应对突发状况。

3. 传感芯粒芯片

作为自动驾驶系统的“眼睛”和“耳朵”，传感芯粒芯片负责将来自各种传感器的模拟信号转换为数字信号，为车辆提供精准的环境感知数据。其技术要求包括高灵敏度、低噪声、宽动态范围和强大的数据处理能力。实现难点在于，如何在复杂多变的环境中准确捕捉并识别目标物体，同时过滤掉无关信号和噪声，提高感知的准确性和可靠性。

4. 通信芯粒芯片

在车联网时代，通信芯粒芯片是连接汽车内外信息的桥梁。它们需支持多种通信协议和标准，如 V2X（Vehicle to Everything）、蓝牙、Wi-Fi 等，并具备高带宽、低延迟和强抗干扰能力。技术要求还包括高效的频谱利用率和安全的通信机制。实现难点在于，如何在复杂多变的通信环境中保持稳定的连接和数据传输，同时确保通信过程的安全性和隐私保护。

5. 存储芯粒芯片

作为汽车电子电控系统的数据存储中心，存储芯粒芯片需具备大容量、高读写速度、低功耗和长期稳定性等特点。它们不仅存储着操作系统、地图数据、用户偏好等关键信息，还需支持快速的数据检索和更新。技术要求包括先进的存储技术、高效的数据管理算法和可靠的错误纠正机制。实现难点在于，如何在有限的空间和功耗下实现更大的存储容量和更高的读写速度，同时确保数据的完整性和安全性。

6. 安全芯粒芯片

专注于汽车信息安全领域，安全芯粒芯片通过提供加密功能、安全认证机制和硬件级别的安全防护能力，为汽车信息安全提供坚实保障。技术要求包括高级别的安全防护标准、多种加密算法的支持和高效的认证机制。实现难点在于如何在保证安全性的同时，提高加密和认证的效率，降低对系统性能的影响，并应对不断演变的网络攻击手段。

7. 新能源芯粒芯片

针对电动汽车和混合动力汽车市场，新能源芯粒芯片成为动力系统优化的关键。它们不仅负责精确控制电池的充放电过程、优化电机的运行效率以及实现能量的高效转换，还需具备高精度、高可靠性和长寿命等特点。技术要求包括精确的电池管理系统、高效的电机控制算法和可靠的能量管理策略。实现难点在于，如何在保证动力性能的同时，提高能源利用效率、延长电池寿命并降低系统成本。此外，新能源芯粒芯片还需适应电动汽车的复杂工况和恶劣环境，确保长期运行的稳定性和可靠性。

因此，这七类车规级芯粒系统芯片在功能和技术要求上各具特色，它们共同构成了汽车电子电控系统的核心基础。随着汽车技术的不断发展，这些芯片的性

能和功能将不断提升和完善，以推动汽车行业向更加智能、绿色安全的方向发展。

1.4 综合研究报告的结构与意义

本综合研究报告围绕“车规级芯粒系统芯片”这一核心主题，构建了全面而系统的研究框架，旨在深入探讨该领域的关键技术、发展现状、未来趋势及其对汽车行业的影响。全书共分为 7 个章节，各章节内容紧密相连，共同构成了对车规级芯粒系统芯片的全方位解析。

第 1 章作为开篇，首先明确了车规级芯粒系统芯片的定义，为后续讨论奠定了基础。随后，通过阐述车规级芯粒系统芯片的发展背景和重要性，揭示了其在推动汽车智能化、电动化进程中的关键作用。此外，本章还介绍了车规级芯粒系统芯片的主要类型，并概述了本综合研究报告的整体结构与编写意义。

第 2~5 章构成了本综合研究报告的核心部分，分别从车规级芯粒系统芯片的技术特性、制造工艺、设计实现以及测试验证 4 方面进行了深入剖析。第 2 章详细探讨了车规级芯粒系统芯片为满足汽车应用需求而必须具备的环境及可靠性、电磁兼容性、功能安全与信息安全、低功耗设计以及系统集成等特性要求。第 3 章则聚焦于制造工艺，介绍了车规级芯粒系统芯片的工艺分类、流程、可靠性标准及封装技术。第 4 章和第 5 章则分别围绕设计与实现、测试与验证两大环节，详细阐述了车规级芯粒系统芯片在设计、分解与组合、互连网络、存储、高速接口电路、软硬件协同设计以及功能、性能、安全、可靠性和环境适应性方面的测试关键技术和方法。

第 6 章介绍标准体系建设及规划，针对车规级芯粒系统芯片领域的标准化需求，提出了标准体系建设的必要性和紧迫性。通过标准需求分析，明确了当前行业标准的缺失与不足，进而提出了标准体系建设的框架与路径。同时，本章还规划了工作组未来的阶段工作重点与方向，为行业标准的制定与实施提供有力支持。

第 7 章结论与展望，作为全书的总结与升华，首先回顾了车规级芯粒系统芯片领域的主要研究成果与发现，然后基于当前技术发展趋势和市场需求变化，对未来车规级芯粒系统芯片的发展前景进行了展望。本章通过提出具有前瞻性的观点和建议，为行业内外专家、学者及决策者提供参考与启示。

第 2 章 车规级芯粒系统芯片的特性需求

2.1 可靠性

基于芯粒的系统芯片相较于传统的系统芯片 SoC 具有一定可靠性优势。首先，基于芯粒的系统芯片将不同功能模块拆分至不同芯粒进行流片，不同芯粒根据不同可靠性要求采用相应制程技术生产。其次，由于芯粒面积相较于芯片更小，可以一定程度上提高芯片的良率，相较于传统单芯片有更高的可靠性。

但与此同时，芯粒也面临着其他可靠性问题。由于整个芯片需要各芯粒协作实现完整功能，要求各芯粒之间能够实现高速且可靠的数据通信，这对芯片的封装技术提出了新的要求，芯粒封装技术也面临中介层材料及扇出等新的可靠性挑战。

（1）中介层材料：随着封装复杂度的提升，在晶圆级工艺和单元级组装过程中出现了各种技术挑战。比如由不同组件和材料特性引起的翘曲和热机械可靠性问题，大型的中介层会面临开裂和热应力方面的挑战。

（2）扇出问题：扇出问题与中介层面临的问题紧密相关，多个芯粒之间的互联互通需要大量的 I/O 和信号传输，有较大的扇出需求。为了容纳更大的扇出，封装尺寸的增加会导致更多的热应力积累。

芯粒之间的互联测试挑战是芯粒技术面临的另一个可靠性问题。对于芯粒之间的通信链路，由于在完成组装后其对于外部的测试设备不可见，测试设备无法对这些信号进行直接测试和验证。如图 2.1 所示，只有小部分的芯粒的 I/O 作为主芯片 I/O 与外界相连，其余大多数芯粒 I/O 仅作为芯片内部互连被隐藏。

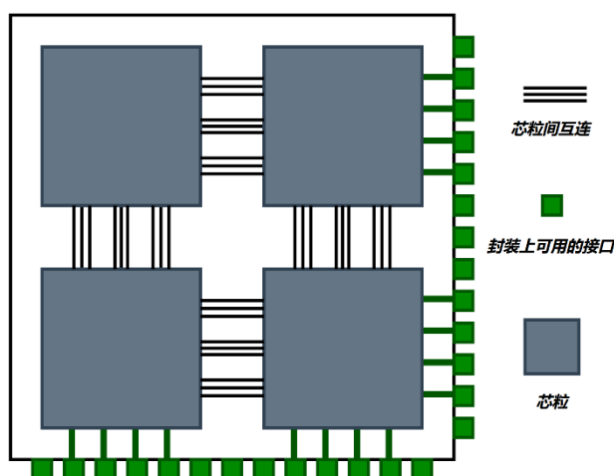


图 2.1 芯粒之间的互联测试挑战

在完成组装之后，自动测试设备（Automatic Test Equipment，ATE）将无法访问芯粒之间的互联链路。这些互联通道的数量可以达到成千上万甚至几十万条，它们会被认为是 ATE 的盲点，导致大量信号未经测试，为芯粒芯片的测试带来困难。

2.2 电磁兼容性

车规级芯粒系统芯片要求具有电磁兼容性（Electromagnetic Compatibility，EMC），即要求芯粒芯片在整车系统的电磁环境中能够正常工作的同时不会对环境中其他组件造成无法承受的电磁干扰，保证在有限空间、时间和频谱资源等条件下，芯片与其他用电设备及广义上的生物体可以共存并不致引起设备工作异常。芯片厂商需要从两个方面保证芯粒芯片的电磁兼容性：一方面保证芯片在正常运行过程中对所在环境产生的电磁干扰不能超过一定的限值，即电磁干扰性（Electromagnetic Interference，EMI）；另一方面保证芯片对所在环境中存在的电磁干扰具有一定程度的抗扰度，即电磁敏感性（Electromagnetic Susceptibility，EMS），这要求开发者从生产工艺、系统设计、PCB 板级设计、封装技术和芯片级设计等各个方面采取保障措施。

要求芯粒芯片开发者考虑以下电磁场景：

（1）芯粒间互联的电磁干扰：当芯粒间发生数据重复传输时，能量会集中在某一频率，产生电磁干扰噪声，芯片需采取措施将其转换为白噪声。开发者进行互联设计时可以在物理层采用加扰的方式防止电磁干扰噪声的产生。

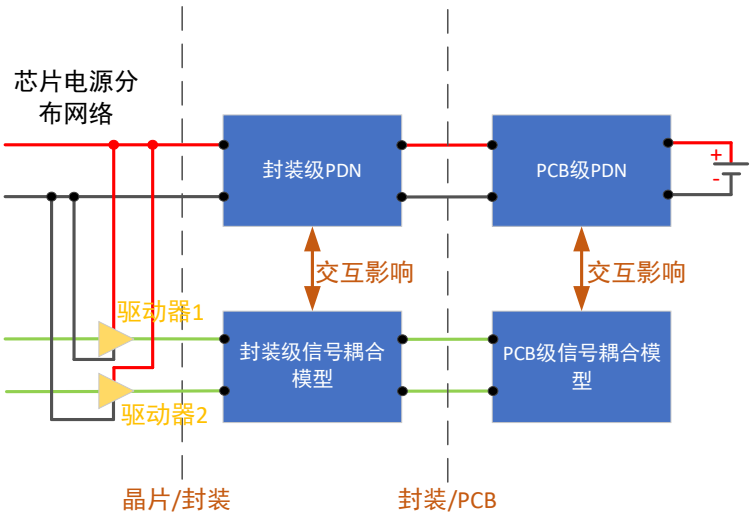


图 2.2 PCB 上同步开关噪声示意图

(2)板级电磁干扰：芯片彼此临近的管脚同时改变电平时由于电源线上的阻抗会引起同步开关噪声，这种噪声很容易通过 PCB 板的走线或电缆辐射出去，增加系统的电磁辐射水平，如图 2.2 所示。可以采用多层板设计、去耦电容、电源完整性仿真等措施减少同步开关噪声的负面影响。

此外，车规级芯粒系统芯片应在电磁干扰性上同时满足 IEC 61967-4 标准与 CISPR25 标准，电磁兼容性上同时满足 IEC 62312-4 标准与 ISO 11452-4 标准。

2.3 功能安全

为满足保护汽车驾驶者生命安全的要求，车规级芯粒系统芯片需要采用特定的安全机制与安全措施，根据芯片在整车系统中的具体使用场景及其对应的安全要求，确保芯片中发生的随机硬件失效可以被芯片自我诊断并采取相应流程进行预警修复，避免由于故障导致芯片的功能失效进而危害驾驶者的生命安全，满足国际功能安全标准 ISO26262 定义的相应汽车安全完整性等级(Automotive Safety Integrity Levels, ASIL)。

为满足车规级芯粒系统芯片的功能安全要求，要求芯片开发者根据目标安全等级设计相应的安全机制，对芯片内部可能发生的随机硬件失效进行故障检错与纠错，并使用安全分析方法学定量计算芯片的安全指标，使芯片通过 ISO26262 车规芯片功能安全合规认证。可以采用失效模式、影响及其诊断分析(Failure Modes Effects and Diagnostic Analysis, FMEDA)作为安全指标的定量分析方式辅助开发者进行车规级芯粒系统芯片的功能安全验证。车规级芯粒系统芯片的安全机制应该覆盖以下随机硬件失效。

(1)对于各个芯粒间互联，要求对信道间进行安全机制监测，保证芯粒间信息传输正确，可以使用冗余信道，并在链路层使用 ECC 等编码解码安全机制进行检错纠错。

(2)对于存储功能芯粒，要求对芯粒内部存储单元进行保护，防止存储信息错误导致系统功能失效，可以使用 ECC 等存储保护机制或使用带有 BIST 的存储单元进行检错纠错。

(3)对于计算功能芯粒，如 NPU、GPU 等功能模块，要求开发者根据使用场景进行相应的目标安全等级论证，并设计对应的安全机制进行保护。如 ADAS 系统中处理自动驾驶相关的计算单元，出现功能失效会危害驾驶者生命安全，要

求 ASIL-D 级别，而负责座舱娱乐相关的计算模块，可相应适当降低 ASIL 安全等级要求。

（4）对于控制功能芯粒，如汽车域控制器，要求开发者根据不同的控制功能指定相应的目标安全等级，关键的功能域如动力域、底盘域、自动驾驶域等要求达到 ASIL-D 级别，可以使用双核锁步、专门安全岛、在线自测试程序等安全机制进行保护。

此外，对于专门负责安全功能的芯粒，如安全岛芯粒，要求芯粒独立于芯片中的其他系统和内核，要求有单独的电源域供电，单独的计算单元，内部模块和内存需要有物理隔离机制，并享受优先级较高的中断机制，保证可以实时诊断安全岛内部的随机硬件失效，并进入相应的安全状态。要求保证从故障发生到系统进入安全状态的时间小于系统分配至芯粒芯片的故障容忍时间（Fault Tolerant Time Interval, FTTI）。

2.4 信息安全

车规级芯粒系统芯片的信息安全主要涉及保护汽车电子控制单元（Electronic Control Unit, ECU）、通信网络以及连接到车辆的外部设备，防止未经授权的访问、数据泄露和恶意攻击。为了满足保护汽车信息安全的要求，车规级芯粒系统芯片需要采用特定的安全机制与安全策略，并符合 ISO/SAE 21434、ISO PAS 5112、VDA 红皮书等国际信息安全标准，车规信息安全标准之间的关系如图 2.3 所示。

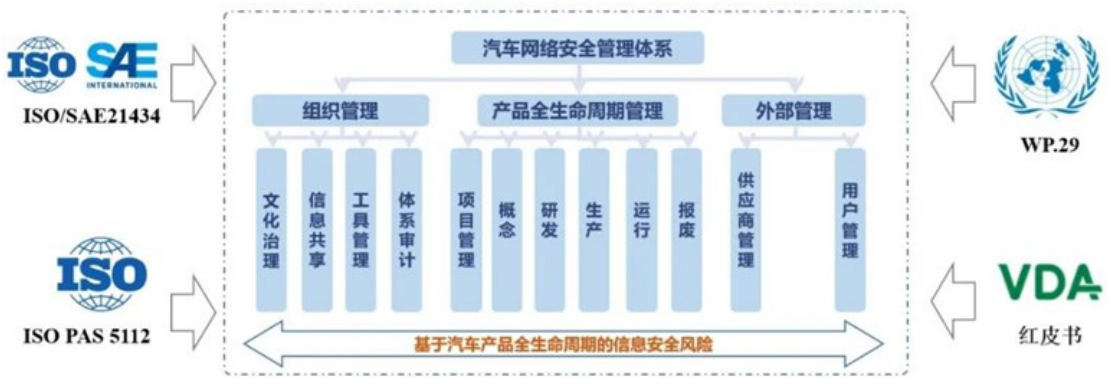


图 2.3 车规信息安全标准之间的关系

为了满足车规级芯粒系统芯片的信息安全要求，应该确定目标安全场景，并设计相应的安全机制。

1. 安全存储和数据保护功能芯粒

对于安全存储和数据保护功能芯粒，必须保护车内数据的机密性、完整性和可用性。这包括保护车辆的操作数据、传感器数据、驾驶员和乘客的个人信息，以及任何其他敏感数据。加密和数据完整性验证是常用的保护方法，因此，芯粒应支持相应的密码算法硬件加速器和密钥管理功能。

（1）对称密码硬件加速器：基于私密密钥的数据加解密，如 AES 算法，能够提供高速、安全的加密解密服务。

（2）非对称密码硬件加速器：用于数字签名、验签以及数据加解密等操作，确保数据的完整性和真实性。

（3）密钥硬件加速器：常用于数据完整性检查和身份验证等场景，如基于密钥的 HMAC 算法，能够提供快速、准确的身份验证服务。

（4）密钥管理功能：包括密钥导入、密钥协商、密钥派生等操作，确保密钥的安全生成、存储和使用等。

2. 访问控制功能芯粒

对于访问控制功能芯粒，需要实施严格的访问控制措施，以防止未经授权的实体访问车辆的电子系统和数据。这包括对车载芯片和车载网络的访问进行身份验证和授权。因此，芯粒应具有强大的身份验证机制，确保只有经过授权的用户和设备才能访问车载系统和数据。这可以通过多因素认证（如密码、令牌和生物特征）以及访问控制列表（ACL）来实现。

3. 保护网络安全芯粒

对于保护网络安全芯粒，需要防御各种网络攻击，如中间人攻击、拒绝服务攻击、恶意软件注入等。使用安全通信协议（如 TLS、IPsec）和网络隔离技术（如防火墙和虚拟局域网）来保护车载网络内和外部设备之间的数据通信。这些协议提供加密、身份验证和数据完整性检查，以防止中间人攻击和数据窃听。

4. 保护固件和软件安全芯粒

对于保护固件和软件安全芯粒，固件和软件必须是安全的，防止被篡改和恶意更新。芯粒还需提供安全启动（Secure Boot）、可信执行环境（Trusted Execution Environment, TEE）、代码签名验证和定期的软件更新。确保芯粒系统在启动过程中不被恶意篡改或破坏，从而保证汽车的正常运行和安全性。因此，安全的汽

车远程升级技术 OTA（Over-the-Air）固件更新也是一个重要板块，OTA 是指通过移动通信网络（2G/3G/4G 或 Wi-Fi）对汽车的零部件终端上固件、数据及应用进行远程管理的技术。如图 2.4 所示，OTA 的实现流程是一个系统化的过程，它从升级包的制作开始，经过严格的验证后上传到 OTA 云平台。随后，云平台根据运营人员的指令发布 OTA 任务，并通知目标车辆下载升级包。车端 OTA 主控负责从云平台下载升级包，并将其安全地刷写到目标 ECU(Electronic Control Unit) 中。整个过程中，软件的完整性和真实性通过校验机制得到保障。如果升级成功，则完成激活；若遇到异常情况，则执行回滚操作以恢复原有版本。最后，OTA 主控将升级状态上报给云平台，以便进行后续的管理和优化。这一流程确保了软件远程更新的高效性和安全性。

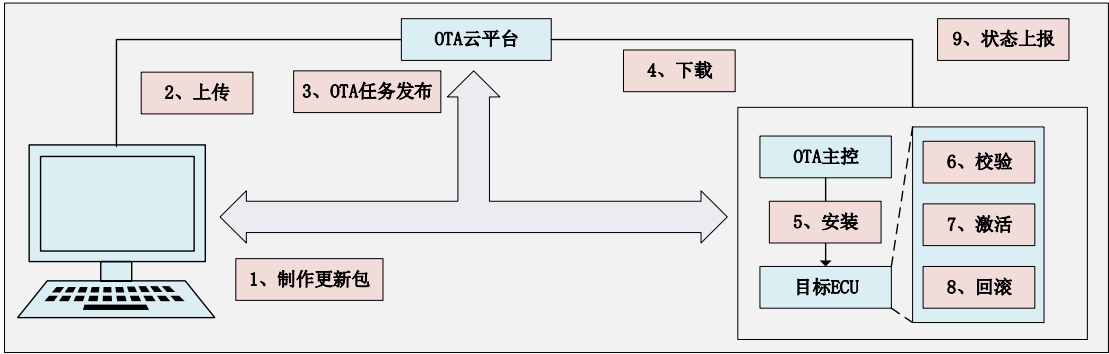


图 2.4 OTA 的实现流程

5. 安全监控和应急响应功能芯粒

对于安全监控和应急响应功能芯粒，需要具备实时监控和检测异常行为的能力，常见入侵包括板级入侵，如总线探针和硬件物理篡改；以及芯粒级入侵如硬件木马、侧信道攻击和故障注入攻击等。芯粒需要检测到潜在的安全威胁并迅速做出响应。这包括入侵检测系统（Intrusion Detection Systems，IDS）和事件响应机制。汽车开放系统架构（AUTomotive Open System Architecture，AUTOSAR）是一种对汽车入侵检测系统的架构，车规芯片入侵检测系统主要包括安全探针、管理模块、安全事件存储、报告模块。

总体来说，车规级芯粒系统芯片的信息安全需要符合相关的行业标准和法规，如 ISO/SAE 21434、ISO PAS 5112、AUTOSAR 安全规范等，以有效地保护信息安全，抵御各种潜在的安全威胁，确保车辆及其数据的安全性、可靠性和完整性。

2.5 车规级芯粒系统芯片集成

芯粒系统芯片利用先进工艺封装制造技术将多种功能的专用芯片集成为多功能系统。车规芯粒系统芯片集成需要面对各种安全性挑战的同时还需要考虑功耗问题，低功耗设计有助于节约能源、降低芯片的散热需求，提高芯片可靠性。

2.5.1 集成设计

车规级芯粒集成需要考虑芯粒集成的制程工艺和安全机制的不同要求。

1. 车规芯粒系统的总线设计

车规级芯粒系统芯片基于先进封装和高速互连线技术，实现外部通信和内部通信的紧密耦合。多芯粒芯片通过芯粒间互连满足高算力需求，而内部通信网络用于实现芯粒内部多个组件之间的数据交互，通常采用增加片内带宽和优化内部空间布局等方法满足内部数据传输要求。此外，车规级芯粒系统芯片互联通信设计需要满足环境及可靠性、电磁兼容、功能安全和信息安全标准。

2. 车规芯粒系统的接口电路

车规芯粒高速串行互连接口具有支持传输距离远、传输速度快和 I/O 数量少等优点，应用芯片之间的高速互连场景，通过差分信号实现数据高速传输。车规芯粒高速并行互连接口由于 I/O 数量多的特点，一般被用于互连线资源丰富的硅基板集成中，具有设计难度低、传输延时小、单位数据量传输能耗低等优点，但也存在封装成本较高和并行信号之间的串扰会限制传输速率的问题。各种协议中对封装内的单端高速并行接口架构进行了相应规范。

3. 车规芯粒系统的软硬件协同设计

软硬件协同设计可实现车规级芯粒系统芯片的优化设计。软硬件协同设计通过软件设计与硬件设计的并行开发与相互反馈，协调软件和硬件之间的制约关系，有利于缩短开发周期并降低开发成本，通过软件任务与硬件任务的划分与调度，构建完备的芯粒异构计算体系，实现芯片整体计算能力的提升。

软硬件协同设计中需要综合平衡精度和性能，保证软件开发工具的开放性与便利性。此外，硬件架构设计应具备前瞻性以适配汽车电气架构的设计要求。

2.5.2 低功耗设计

车规级芯粒低功耗设计可划分为芯粒级低功耗设计和集成芯粒间低功耗设计。针对单个芯粒的低功耗设计，可以使用以下低功耗设计方式：

1. 单芯粒的低功耗设计

依据芯粒功能采取不同工艺制程，高性能密集计算型芯粒采用先进制程以降低逻辑门频繁反转产生的动态功耗。非性能模块则可采用更大制程，以减少静态泄漏功耗。该方法是集成芯片技术降低功耗、成本的重要方式之一。此外，现有系统级芯片低功耗设计技术可以应用于单芯粒的低功耗设计，包括采用门控时钟网络、门控电源、多阈值电压设计：

（1）对芯粒内部添加门控时钟网络，可以降低内部电路模块在非调用时期的时钟网络反转功耗。

（2）采取对模块门控电源，在模块非调用时期彻底关闭电源供给，切断模块的动态和静态功耗。

（3）非关键路径上的逻辑门适当替换为高阈值电压低性能单元，即可在不影响性能的情况下降低芯粒静态功耗。

其他低功耗设计包括多电压域设计、门级翻转优化、钟控逻辑门、通过模块复用减少逻辑门总数等方式。

2. 芯粒系统芯片的低功耗设计

针对芯粒系统芯片的低功耗设计，可以使用以下低功耗设计方式：

（1）基于先进封装技术，相较于传统片间数据传输，芯粒间采用的先进封装技术极大降低了数据传输距离，提高数据吞吐量和能量效率。片间数据传输的能量效率随先进封装下的集成密度由 MCM、2.5D、3D 依次提升，计算模块与储存模块相邻封装，可显著降低芯粒间数据传输功耗。使用先进封装时，人们必须关注集成芯片的散热性能、散热方案，确保器件在合适的温度下工作。

（2）基于先进芯粒间通信技术，芯粒间 Die-to-Die 高速接口互联设计时可在链路层中设置相应的功耗管理单元，通过流量监控等方式自动切换工作模式，在协议层接收到低功耗请求或接口长期闲置时自动对数据通路进行关断，实现芯粒系统的低功耗设计。

（3）增设电源管理模块及子协议。针对芯粒的不同实时工作状态，实现对芯粒及其在相应互连线的动态电压域和时钟频率调节，在处理低计算量或低优先级任务时，适当降低电压及频率，以降低相应芯粒及互连线上动态功耗。

第3章 车规级芯粒系统芯片的制造工艺

3.1 车规级芯粒系统芯片封装技术

从工艺角度，车规级芯粒系统芯片区别于经典车规级芯片主要在于封装工艺上。目前基于芯粒的车规级芯片封装工艺还处于探索阶段，例如，TSMC 的 InFO-oS 扇出技术将支持基板上的多个 SoC 器件，第一个汽车小芯片工艺设计套件（Process Design Kit, PDK）将于 2024 年底推出，完整的 PDK 将于 2026 年初推出。CoWoS-R 工艺将通过基板的中介层支持具有高性能 HBM 存储器的 SOC。TSMC 表示，这些工艺将在 2025 年第 4 季度通过 AEC Q100 Grade2 认证。本章首先对目前芯粒的封装技术进行介绍，然后介绍这些封装技术中的主要工艺，最后介绍车规级芯粒系统芯片在工艺方面遇到的可靠性问题。

芯粒技术的基础是先进封装。要将多颗芯粒高效地整合起来，必须采用先进封装技术。在芯片尺寸不断增大、架构变得复杂的情况下，封装结构由原先的 2D 发展至 3D。按封装介质材料和封装工艺划分，实现方式主要包括 MCM 封装、2.5D 封装、3D 封装等。例如，台积电的 2.5D 先进封装技术 CoWoS、InFO-oS 已经被广泛应用。

3.1.1 2D MCM 封装

多芯片组件（Multi Chip Module, MCM）封装，即在基板平面方向集成多个芯片或芯粒，一般是指通过引线键合（Bonding）或倒装芯片（Flip Chip）技术实现芯粒和有机基板（Substrate）连通，最终芯粒之间通过基板实现互连。图 3.1 为 MCM 封装的侧视图。因为引线键合只能在芯粒四周出连线，互连密度低，信号线长，不利于高速信号互连，所以一般用于 I/O 数目较少、对信号速率要求较低的情况，而倒装芯片技术可以支持更高的信号速率、更短的信号传输路径。凸块技术用于完成芯片与有机基板的键合，可将多颗不同功能的芯片封装在同一个有机基板上。基板上金属线的互连使芯片与芯片之间的电气进行互连。相对于硅工艺的互连衬底，封装有机基板工艺成熟，在材料和生产成本上有巨大优势。MCM 封装能够满足芯粒芯片需求，封装尺寸可以达到 110mm×110mm。但受限于基板加工工艺能力，目前封装基板上的走线宽度/间距一般为 9μm/12μm。为保证铜走线的工艺控制，在设计时信号走线的线宽大多在 12μm 以上。

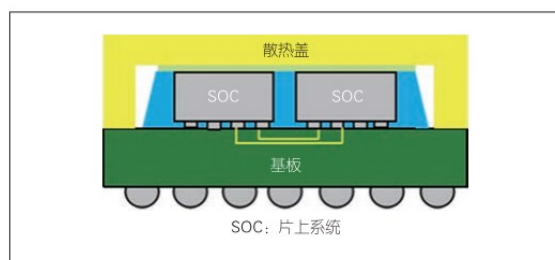


图 3.1 MCM 封装侧示意图

3.3.2 2.5D 封装

2.5D 封装是指在芯粒之间通过中介层（Interposer）进行高密度 I/O 互连的封装，其特点是多 Die 集成和高密度性。根据中介层的结构，现有的 2.5D 封装可以进一步分为 RDL、硅中介层与嵌入式互连桥。

RDL 中介层封装通过 RDL 实现多个芯粒之间的连接，如图 3.2 所示。芯粒与 RDL 之间通过微型凸点（ μ -bump）连接，RDL 的金属布线层一般采用 2D 封装中所使用的金属互连工艺。RDL 与基板之间则是通过 C4 凸点（C4 bump）连接。相较于 MCM 封装，RDL Interposer 封装技术可以将芯片与芯片之间的距离变得更小，使信号走线宽度和间距大幅度降低，从而提高单位面积的信号密度。目前信号线宽/线距最小可以为 $2\mu\text{m}/2\mu\text{m}$ 。由于芯片与芯片的间距可以做到 $60\sim 100\mu\text{m}$ 内，所以 D2D 信号互连距离可以控制在 5mm 以内。以 RDL 为中介层的 2.5D 封装代表有日月光半导体的 FOCoS（Fanout-Chip-on-Substrate）工艺。

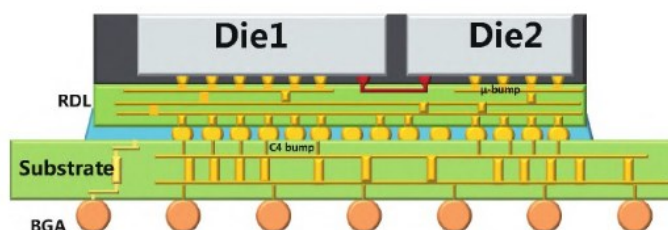


图 3.2 RDL 中介层封装示意图

Si 中介层技术是在基板和裸片之间放置了额外的硅层，可以实现裸片间的互连通信。如图 3.3 所示，硅中介层含有预先通过等离子刻蚀等技术制作的硅通孔 TSV，TSV 提供了垂直的互连路径，相较于引线键合与倒装芯片堆叠，具有更高的空间效率与互连密度，进一步提高了集成度。在硅基板上通过微凸点和 C4 凸点可最终实现芯粒之间的互连。例如，台积电的 CoWoS 是基于硅中介层的 2.5D 封装的典型代表。

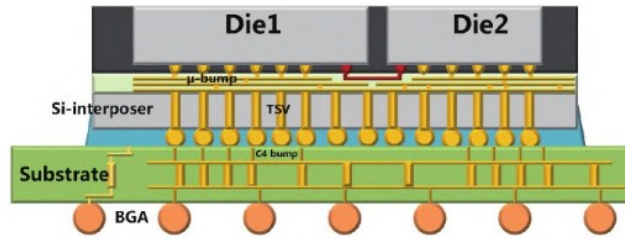


图 3.3 Si 中介层封装示意图

嵌入式互连桥封装的核心是在基板中埋入一个高密度硅桥，从而实现芯粒到芯粒的高密度互连，如图 3.4 所示。这种方式不需要大面积硅基转接板，将 2.5D 封装中的硅基转接板简化为若干个小的硅桥，可以省去 TSV 工艺，封装工艺和现有的倒装芯片球栅格阵列（Flip Chip Ball Grid Array, FCBGA）完全兼容，成本优势明显。Intel 公司的嵌入式多硅片互连桥（Embedded Multi-die Interconnect Bridge, EMIB）工艺便是其代表。

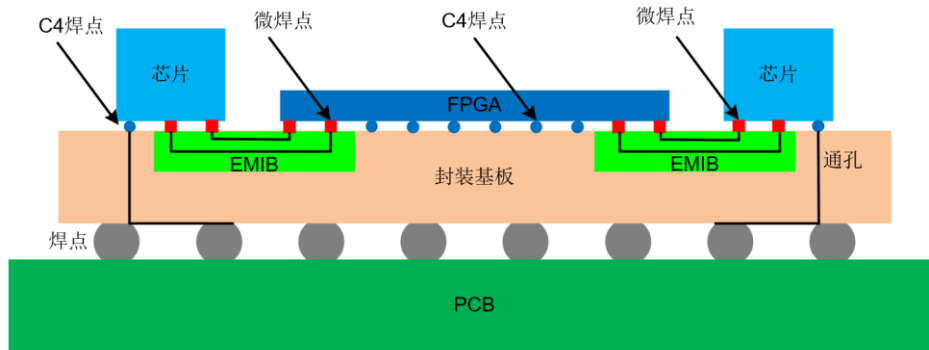


图 3.4 嵌入式互连桥封装示意图

3.1.3 3D 封装

3D 封装是指在有源芯粒上打 TSV，多个有源芯粒在垂直方向堆叠互连。芯粒间互连方式可以通过微凸点焊接实现。如图 3.5 所示，将 2.5D 封装中的无源硅中介层换成有源芯片，在此转接板上通过微凸点集成 SoC 和 HBM 芯片就是一种 Bumped 3D 封装。

在 3D 封装中，也可以通过混合键合（Hybrid Bonding, HB）直接互连或者利用黏胶将多个超薄芯片连接，然后再通过 TSV 连通。HB 封装方式是指将 2 个芯片表面在高精度研磨后贴合在一起，贴合面的二氧化硅之间直接实现分子键合，然后高温退火，贴面露出的铜与铜之间通过扩散实现永久连接。这种方式互连密度最高，凸点节距（Bump Pitch）可以小于 $1\mu\text{m}$ ；由于不需要传统的焊料实现互连，也没有凸起的结构，因此又被称为 Bumpless 的封装方式。这种封装方式对

制造环境洁净度要求很高，对芯粒表面的平整度和粗糙度要求也很高，必须使用芯片制造工厂的机械化学研磨（Chemical Mechanical Polish，CMP）工艺，因此成本很高，其代表是台积电已推出的 SOIC。

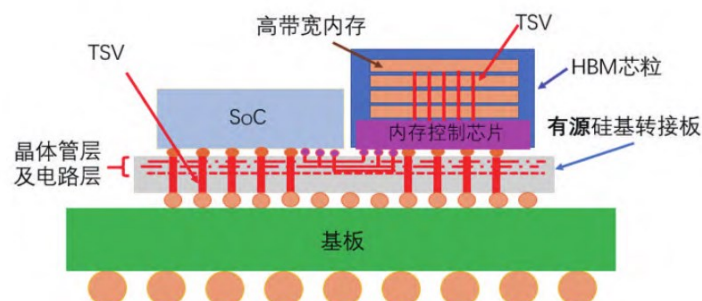


图 3.5 3D 封装示意图

3.2 车规级芯粒系统芯片工艺分类

芯粒封装技术是芯粒集成的决定性奠基技术，芯粒先进封装工艺直接地影响着芯粒系统的性能功耗表现。芯粒封装的主要研究方向集中在 2.5D/3D 集成技术，关键工艺可分为硅中介层制造工艺、高密度凸点键合集成工艺和基于半导体精密制造的散热工艺。

3.2.1 中介层制造工艺

硅中介层与上层芯粒、底层封装基板通过微凸点和 C4 凸点实现电信号连接。中介层可以用于提高芯片的性能和带宽，使芯片更加紧凑。芯粒间的互连线可以通过硅中介层上的多层铜互连金属工艺实现，因此可以实现微米级的间距布线。当工艺设备受限时，也可以采用重分布层（Redistribution Layer，RDL）工艺取代铜互连工艺，实现较高密度互连。TSV 是硅中介层工艺相比一般 CMOS 芯片工艺新增的工艺。TSV 的制造工艺是通过激光钻孔或深反应离子刻蚀（Deep Reactive Ion Etching，DRIE）工艺在硅基片上形成垂直穿孔结构。这些孔可穿透多个层次，连接不同的电路层，然后进行衬底沉积（通常是一层绝缘材料，如二氧化硅），以提供电隔离和机械支撑。再通过物理蒸镀或电化学填充等技术，在 TSV 孔中沉积导电金属（如铜），以建立电连接。最后，使用化学机械抛光（Chemical Mechanical Polishing, CMP）等技术，将金属填充的表面与基片表面平坦化，以便后道工序。由于 TSV 的深度一般小于硅片的厚度，还要将硅基板减薄后才能将 TSV 露头。为了保证高性能芯片的电源完整性，在硅中介层中还会制造高深宽比、高电容密度的深槽电容（Deep Trench Capacitor，DTC）用于对

电源的退耦。其原理是，在硅槽中一个顶部电极层和一个底部电极层之间填充电容高介电常数材料，通过将深沟槽蚀刻到硅衬底中而形成三维垂直电容器。

3.2.2 互连集成工艺

在 3D 空间内，芯片/芯粒间互连可分为 3 类。

(1) 芯粒表面与外界的垂直互连通道，包括传统的凸点、微凸点和新兴的混合键合互连界面。

(2) 芯粒间水平互连导线，主要指基板或重布线层的导线阵列。

(3) 芯粒内部的垂直通孔结构，即 TVS，主要实现多层芯粒堆叠中的互连。

混合键合技术是将两片需要键合在一起的晶圆，各自完成制程最后一步的金属连线层并实现熔合键合。混合键合的技术原理主要是通过结合不同键合方法的优点，将熔合键合和金属扩散键合结合为一个过程的键合过程。该技术基于具有集成熔合键的两个金属层的热压键合。在这个过程中，首先使用熔合或直接键合工艺在低温下键合电介质，当退火时，在较高温度下，金属扩散键发生。关键工艺步骤为首先进行金属（Cu）凹陷 3nm 等离子体表面活化，然后氧化物与氧化物在室温下的初始键合，然后加热关闭碟形间隙，最后进行退火。

作为主流的硅中介层导线互连技术，大马士革铜互连工艺能够极大地提高互连线密度、降低传输延迟、提高系统的功率密度。大马士革工艺一般分为单大马士革和双大马士革工艺。两者的主要区别是互连沟槽与通孔是否同时进行铜的填充。双大马士革工艺可以比单大马士革工艺减少约 20% 的工艺流程，因此更具应用前景。双大马士革工艺一般先在介质层上刻蚀出金属线路层图形及通孔，这一步一般须使用 2 次光刻和刻蚀，以分别制备出通孔和沟槽，然后在其中沉积阻挡层、种子层，再用电镀的方法对通孔和沟槽这 2 层金属层同时进行填充，最后采用 CMP 将多余的铜去除。硅通孔是硅中介层制造工艺的重要部分，典型工艺流程主要包括：通孔刻蚀、通孔薄膜淀积（SiO₂ 钝化层、阻挡层、种子层沉积）、通孔填充、CMP 等。

3.2.3 散热工艺

芯粒芯片的功率未来将达到数千瓦甚至十几千瓦，芯片热流密度将超过数百 W/cm²，芯片热点的热流密度将突破 kW/cm² 量级，所以芯粒芯片的散热工艺非常重要。7 种常见的封装体热量耗散途径如图 3.6 所示。

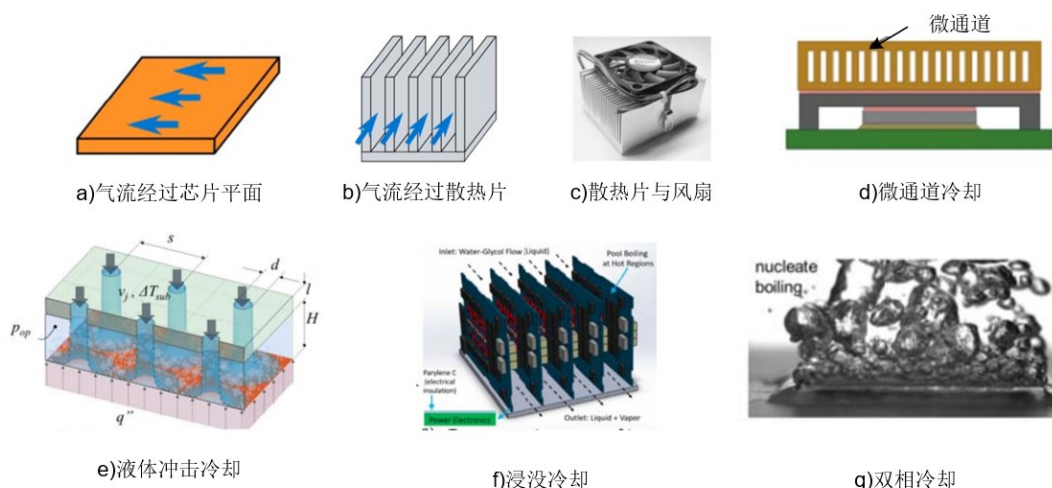


图 3.6 常见封装体散热方法

气冷式散热可以像图 3.6 (a) 所示那样简单，只需要让空气平行吹过铜盖，且无须在铜盖顶部附加任何辅助散热器。改善散热效果的一种常见策略是增加散热表面积。通常在散热板上增设凸出物（称为散热片），以增加散热表面积。这些散热片可以是图 3.6 (b) 和 (c) 所示的薄壁结构或针状结构。风扇可以将空气从侧面（见图 3.6 (b)）或顶部（见图 3.6 (c)）吹过这些散热片。

液体冷却是一个广泛的冷却解决方案领域，它使用液体作为热提取介质。微通道散热器是一种冷却解决方案，其中液体（最常见的是水）被泵送通过一组平行的微通道。这些微通道是放置在铜盖顶部的辅助散热器的一部分，如图 3.6 (d) 所示。液体冷却解决方案可以采取其他形式。喷射冲击冷却是将液体喷射到铜盖上，如图 3.6 (e) 所示。当一股快速的液体流冲击到板上时，预计将获得较高的传热系数。另一种策略是将整个电子封装浸入到介电流体中，这被称为浸没冷却。由于所需的泵浦功率较低，从成本降低的角度来看，浸没冷却是一种有吸引力的方法，如图 3.6 (f) 所示。通过使用两相冷却，如图 3.6 (g) 所示，可以实现更高的传热系数。在相变过程中可以提取大量热量。两相冷却可以是池沸腾的形式，既允许液体池沸腾，也可以是流动沸腾的形式，即液体在流过微通道时沸腾。

3.3 车规级芯粒系统芯片工艺可靠性

随着产业的发展，业界对高算力、高性能的车规级芯粒系统芯片的需求日益提升。电子封装对芯片起着机械支撑、环境保护、信号互连以及散热等作用，为了满足高性能车规级芯粒系统芯片小型化和集成化的需求，先进封装技术也随

之不断发展。但在芯片服役环境日益复杂、芯片不断堆叠以及异质异构集成等因素的影响下，先进封装面临诸多可靠性问题。

3.3.1 晶圆翘曲

晶圆翘曲是指在晶圆重构工艺中，由于芯片和塑封料的热膨胀系数（Coefficient of Thermal Expansion, CTE）不匹配而产生热应力的积累，从而导致宏观翘曲。晶圆翘曲不仅会严重影响后续磨削减薄、切割等封装步骤的工艺精度，还会带来界面分层、焊点断裂以及裂片等诸多可靠性问题。随着芯片集成化和大尺寸晶圆的使用，晶圆翘曲问题也愈发严峻，已成为影响先进封装可靠性的主要挑战之一。

解决晶圆翘曲是个复杂的工作，需要综合考虑封装工艺、封装材料以及封装检测等因素的影响。在封装工艺上，可通过优化封装过程中温度、湿度、冷却速度以及气压等因素来减小热应力的影响，降低晶圆翘曲的概率；在封装材料上，可采用与晶圆 CTE 接近的封装材料，从而减小热失配的影响；在封装检测上，需要定时使用高精度检测设备，及早发现晶圆翘曲问题并采取相应的调整措施。

3.3.2 焊点可靠性

焊点（C4 凸点、微凸点、混合键合）是封装中重要的互连结构之一，起着电气连接、温度传导以及机械支撑等重要作用。焊点的服役环境包括高温、机械应力、冷热循环、高密度电流等。其中高温会导致焊点出现金属间化合物（Inter-Metallic Compound, IMC）增厚、力学性能退化等现象，具体表现为柯肯达尔孔洞、裂纹扩展等失效形式；冷热循环则会使得焊点产生疲劳蠕变等现象，从而导致焊点断裂失效，失效是由于焊点与其他接触结构的 CTE 不匹配导致的；机械应力包括随机振动、加速度、冲击以及拉伸剪切等作用力，在载荷力的作用下，如果焊点材料强度不足，则会出现焊点断裂、破碎等失效现象；当焊点内部电流密度达到 10^4A/cm^2 时，焊点易发生电迁移现象，随着焊点尺寸的不断缩小，焊点电迁移现象愈发明显，并常伴随着热迁移现象，电迁移和热迁移共同作用，导致凸点下金属化层耗尽、空洞裂纹、IMC 极性效应等失效现象。

混合键合在小间距互连具有巨大的应用潜力。混合键合的潜在可靠性问题包括水分进入、分层、电迁移、铜扩散和介质击穿等风险。然而，不同机构发布的所有可靠性数据都表明混合键合是稳健的。最近，CEA-Leti 报告称，在 $1.44\mu\text{m}$

间距下，电迁移的最薄弱环节已经从后道工艺（Back End of Line, BEOL）转移到混合键合接口。由于不可避免的叠层位错，水平方向中总是存在铜-介质接口，这些接口是铜快速扩散的路径，因此在该界面上方或下方形成了电迁移孔隙，如图 3.7 所示。随着混合键合间距进一步扩展到亚微米范围，可以预见，电迁移可靠性将变得越来越具有挑战性。

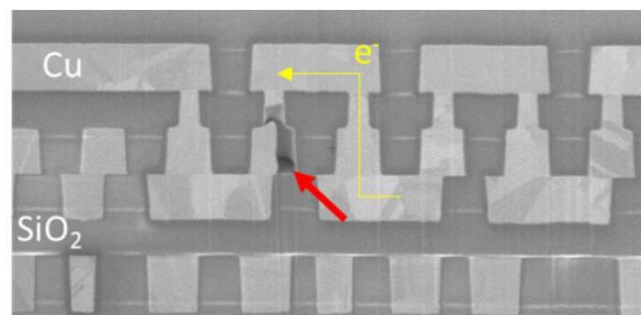


图 3.7 混合键合电迁移失效

焊点的服役环境是复杂多变的，往往面对的不只是一种环境载荷的作用，而是多种载荷的叠加，这导致失效形式难以预测。近年来已有不少学者基于多物理场耦合理论，采用有限元法（Finite Element Analysis, FEA）对焊点失效机理进行研究，为实际工况下焊点失效行为的预测提供理论参考。此外，焊点材料是保证焊点可靠性的重要因素之一，研发高可靠性扩散阻挡材料以及性能更优的焊料合金，可有效提高焊点服役寿命。

3.3.3 RDL 互连可靠性

RDL 是指在晶圆表面沉积金属层和介质层，并形成金属布线，对 I/O 端口进行重新布局，将其布局到新的区域，并形成面阵列排布。采用 RDL 能够支持更多的 I/O 数量，使 I/O 间距更灵活、凸点面积更大。此外 RDL 可以将不同种类的芯片连接在一起，在 3D 集成中，TSV 用于完成同种类型堆叠芯片的电气互连，而不同类型堆叠芯片的连接则需要 RDL 来实现。高 I/O 密度要求对高密度 RDL 提出了巨大的挑战，RDL 可靠性面临诸多亟待解决的问题。

（1）传统的铜 RDL 直接覆盖有机介质层，而不具有阻挡金属层，这导致铜 RDL 间距小于 $2\mu\text{m}$ 时电场会迅速增加，铜会迁移到通常用作电绝缘体的有机电介质中。

（2）连接刚性硅晶片的铜重分布层可能会存在一定的可靠性问题。在基板周期性弯曲过程中，两个晶片之间的小间隙（约 $150\mu\text{m}$ ）下的 RDL 角弯曲会承受

巨大的压力，从而导致 RDL 走线开裂。图 3.8（a）中热循环应力下观察到的裂纹和图 3.8（b）中的热机械建模验证了这一点。通过优化 RDL 图案以避免间隙下方的角度弯曲，可以解决这种可靠性故障。

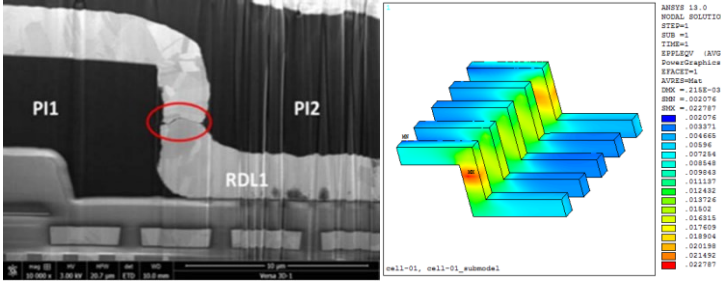


图 3.8 （a）RDL 开裂；（b）RDL 热机械建模

保证 RDL 的可靠性需要形成厚度均匀且分辨率高的 RDL 层，人们需要材料、工艺、设备等的进一步发展和升级。在材料方面，人们需要研发合适的介电材料来减小其与铜线之间的 CTE 差异，从而减轻热失配现象；在工艺和设备方面，人们需要设计更合适且精确的制程设备。

3.3.4 TSV 可靠性

TSV 需要与微凸点或混合键合结合使用，以完成互连。铜的 CTE 相对较高约为 17ppm/℃，会对周围的硅产生显著的应力，导致载流子迁移率的变化。此外，铜的挤出还可能导致铜泵效应，破坏 TSV 上方的 BEOL。TSV 对器件和 BEOL 布线可靠性的存在潜在影响。通过 KOZ (Keep Out Zone) 和 TSV 微观结构优化，这些问题可以在很大程度上得到解决。然而，在厚度小于 10μm 的情况下，如在通过纳米 TSV 进行背面供电时，带有 TSV 的减薄晶圆可能会增加晶圆翘曲和开裂的风险。

TSV 技术还面临诸多可靠性问题，例如填充不完全或刻蚀工艺中的贝壳效应会导致 TSV 中出现空洞，从而使 TSV 的性能不能满足工作要求；随着结构密度的不断提高，高密度 TSV 会导致热量集中，从而引发一系列热可靠性问题。

研究人员正从材料、结构、工艺等方面寻求解决以上问题的方案。在材料方面，通过研发新材料来抑制衬底损耗以及降低热失配的影响；在结构方面，同轴空气间隙 TSV 等新结构能降低整体的寄生电容和能量损耗；在工艺方面，相关研究提出了一种通孔双面分布填充的工艺，减小了 TSV 工艺的填充难度。TSV 作为堆叠型封装中最关键的技术之一，随着未来新材料和新工艺的研发，将具有更广阔的应用前景。

第 4 章 车规级芯粒系统芯片设计与实现

4.1 车规级芯粒系统芯片分解组合与集成

车规级芯粒系统芯片采用“分解-组合-集成”的新设计范式，如图 4.1 所示。

“分解”是指根据不同车型的芯片需求和应用特征，抽象出若干标准的车规级芯粒预制件；“组合”指将若干车规级芯粒预制件按照某种结构，组合设计成不同车型所需要的专用芯片和系统；“集成”是指利用先进工艺封装制造技术将组合设计好的专用芯片和系统，集成为满足多种功能应用的大规模单个芯片系统。根据目标应用与需求，构建最优的车规级芯粒分解-组合-集成设计与实现方法是重要的技术难题，即如何实现最优化的多种类车规级芯粒功能分解，如何完成大规模芯粒系统的高效组合，以及如何解决大规模芯粒集成系统的安全性问题。

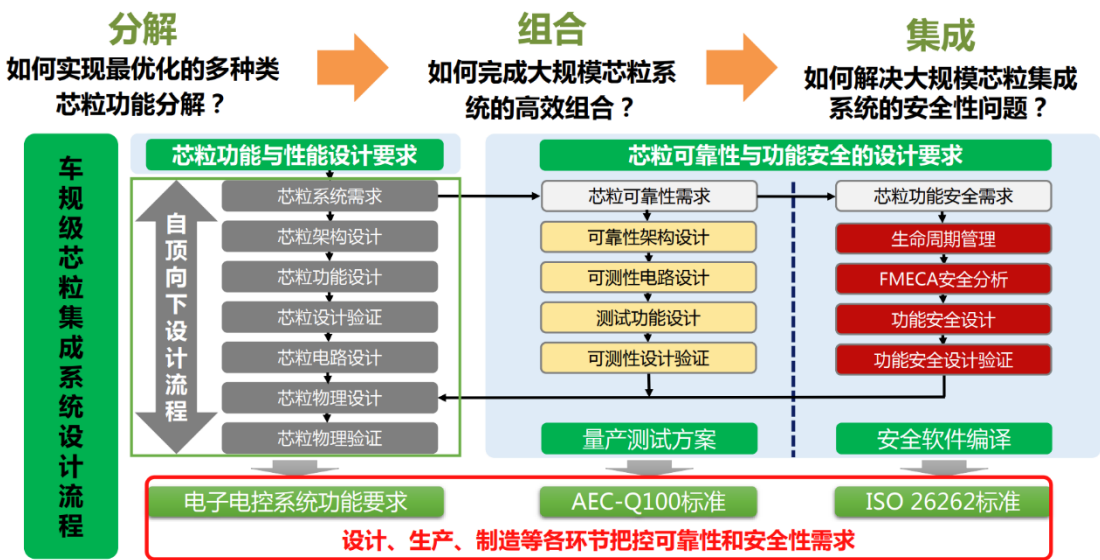


图 4.1 车规级芯粒系统芯片采用“分解-组合-集成”的新设计范式

4.1.1 车规级芯粒分解

由于车规级芯片需要根据不同车型来细分市场，具有多元应用需求，且对可靠性有强诉求，其本身对芯粒有亲和性。车规级芯粒分解在满足传统芯粒功能与性能设计要求外，还需要满足车规级芯粒可靠性与功能安全的设计要求，存在成本、安全性、系统性能等多重因素的考量。

1. 成本因素

摩尔定律的放缓与日益增长的性能需求导致芯片面积日益增长。这不仅引发

了芯片良率的下降，还降低了晶圆的利用率，拉高了芯片的制造成本。学术界对芯粒集成系统的成本进行了分析，其由 RE 成本（Recurring Engineering Cost）与 NRE 成本（Non-Recurring Engineering Cost）构成。RE 成本是每片芯片制造都要支付的成本，包括晶圆、封装、测试的成本等。NRE 成本指研发、制造芯片产品时所支付的费用，包括人力成本、IP 授权费用、光罩成本等。车规级芯粒需要通过可靠性架构设计、可测性电路设计、测试功能设计、可测性设计验证等流程来满足可靠性要求，以及生命周期管理、FMECA 安全分析、功能安全设计、功能安全设计验证来保证芯粒功能安全。此外，车规级芯粒系统芯片的上市时间（Time To Market）越来越短，对成本非常敏感。这些额外成本需要考虑在 RE 成本和 NRE 成本中，与原有的传统芯粒分解的成本因素考量有所区别。

2. 安全性因素

芯片设计销售和生产分离模式带来了一系列安全风险，如版图泄露、硬件木马等。基于分解的车规级芯粒技术天然地具有分离制造的特性，不同芯粒芯片可能交予不同晶圆厂制造，因此，需要各晶圆厂在生产制造过程中把控可靠性和安全性。车规级芯粒系统芯片所承载的功能安全要求分配不同，其中的 AI 单元、计算单元与传感单元等所选用的芯粒可通过单器件或冗余的方式实现对应的功能安全等级，如下表所示。

表 4.1 不同类型芯粒对应用的安全等级

功能单元	ASIL 等级
传感器接入与管理	B
AI 计算	B
通用计算	D
计算平台内部通信	D
V2X	D
存储	B
车控	D

3. 系统性能因素

尽管车规级芯粒分解能够降低成本、提高芯片良率和安全性，但引入了额外的芯粒间通信、性能开销以及额外的面积开销。根据车规级芯粒系统芯片产品实

现功能的不同，可将其划分为控制芯粒芯片、计算芯粒芯片、传感芯粒芯片、通信芯粒芯片、存储芯粒芯片、安全芯粒芯片、新能源芯粒芯片共七个类别。通常在多车规级芯粒间传输的数据都是系统关键数据，因此通信芯粒芯片中 D2D(Die to Die) 技术本身需要达到很高的功能安全等级和可靠性，PPA 和 ASIL D 平衡的 D2D 架构是非常具有挑战性的。此外功能安全架构和信息安全架构需要与车规级芯粒系统芯片紧密结合，因此，在芯粒分解时不能仅关注单个芯粒构件的设计，需要对整条产品线进行分析。

4.1.2 车规级芯粒组合

车规级芯粒组合过程中，设计人员可以根据不同车型的芯片需求和应用特征，从构建好的车规级芯粒库选出最优芯粒并组合。如图 4.2 所示，面向 AI 领域的 Simba 系统以同构芯粒的形式灵活拓展，形成适用于包括移动端、自动驾驶端和数据中心端场景在内的产品。

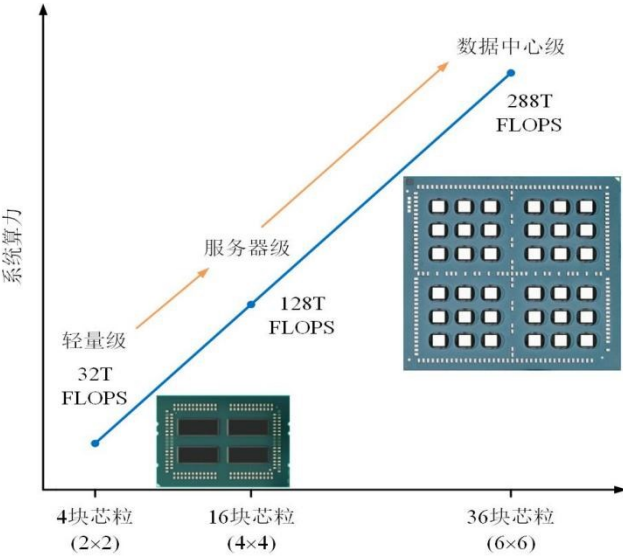


图 4.2 面向 AI 领域的车规级芯粒系统芯片

车规级芯粒系统芯片在汽车不同零部件系统、不同工作场景的功能、性能差异较大。根据汽车作为智能化运载工具所需实现的各项功能，其芯片的应用场景划分为动力系统、底盘系统、车身系统、座舱系统和智驾系统，需要不同车规级芯粒组合而成。如控制芯粒芯片主要用于动力系统、底盘系统，计算芯粒芯片主要用于座舱系统和智驾系统，安全芯粒芯片以独立芯片形式存在，以组合方式为车载端提供信息安全服务。

4.1.3 车规级芯粒集成

车规级芯粒集成过程中，需要考虑芯粒集成的制程工艺和集成安全机制。尽管芯粒性能需求的不断提升驱动着芯片制程工艺的不断发展。制程工艺的选择需要考虑车规级芯粒系统芯片的特殊要求，如代工厂是否符合 IATF 16949 质量管理体系的要求、制造工艺本身是否已经通过 AEC-Q100 可靠性验证并达到目标产品的可靠性等级要求、是否可以采购针对该工艺节点的成熟 IP 等。国内车规级芯片厂商主要以实现量产化为目的，而非单纯追求先进性。

车规级芯粒系统芯片多采用 SEooC (Safety Element out of Context) 开发模式，其实际应用到目标车型时，车规级芯粒系统集成测试和整车集成测试是发现系统性故障不可或缺的安全活动。在车规级芯粒系统集成测试和整车集成测试活动中，需重点验证目标车型的功能安全要求是否得到正确实现，集成真实的传感器和执行器等其他要素之后的系统响应是否满足安全机制的要求，车规级集成芯粒系统与目标车型其他要素之间的接口与交互过程是否正确，以及安全要求在外界严苛的环境条件和运行工况下能否正常实现。

4.2 车规级芯粒系统芯片互联通信设计

相较于传统车规级芯片互联通信主要包含外部通信总线和内部通信总线，车规级芯粒系统芯片得益于先进封装和高速互连线技术，可以将原本解耦的外部通信和内部通信紧密耦合，采用基板上网络 (Network-on-Interposer, NOI) 和片上网络 (Network on Chip, NOC) 来满足更大规模的互联通信需求。

外部通信网络主要用于外部通信和外部拓展。为满足不同级别自动驾驶开发的灵活性要求，单个芯粒芯片设计算力通常可以满足辅助驾驶的部分发展要求，多个芯粒芯片通过芯粒间互连网络的方式满足更高的算力需求。内部通信网络用于实现芯粒内部多个组件之间的数据交互。随着自动驾驶对数据需求的日益提高，芯粒内部各组件间的数据交换需求不断提升，内部通信通常采用增加片内带宽、应用低功耗管理技术、优化内部空间布局等方法进行统筹设计，以满足内部数据传输的快速性、稳定性等要求。此外，未来应用缓存一致性互连网络可以实现多个芯粒的缓存一致性互联，从而为自动驾驶提供跨片缓存无缝扩展能力。

此外，车规级芯粒系统芯片互联通信设计需要满足环境及可靠性、电磁兼容、功能安全和信息安全标准。芯粒封装材料中放射性同位素杂质 α 粒子辐射会显著提高软失效率，可能造成芯粒之间的通信干扰，需要在设计和布局时进行必要的

安全考虑。通信通道可能因为线束破损、外界电磁干扰和其他节点损坏等因素导致通信失效，包括报文丢失、报文延迟和报文篡改等多种类型的失效模式。参考 ISO 26262-5 附录 D 的要求，采用多种安全监测工具的组合可以满足高诊断覆盖率的要求，但此种方法只能满足 Fail-Safe 的要求，即发现通信故障，但无法维持系统正常工作。为了实现 L3 自动驾驶功能 Fail-Operation 的要求，可采用硬件冗余的方式，一方面提高了诊断覆盖率，另一方面可满足 Fail-Operation 的要求。通信通道的冗余设计需要考虑二者的独立性，例如采用不同类型的通信协议（如 CAN-FD 和 FlexRay），避免发生共因失效。为保证互联通信的信息安全，车规级芯粒互联接口上需要在向上链接协议层的接口处加入 CRC 校验保护，在模拟的关键路径加入电压监控器，支持数据传输出错时重传、上报。

4.3 车规级芯粒系统芯片存储设计

车规级芯粒系统芯片存储架构影响着集成系统的访存性能和功耗，其通常采用片外内存加多级片内缓存的方式。车规级芯粒系统芯片系统的访存性能受限于物理结构所提供的带宽，随着先进封装技术的兴起，车规级芯粒系统芯片系统存储结构的组织方式从传统的水平存储逐渐发展到垂直存储。垂直存储在垂直方向上堆叠存储单元，从而实现更高的存储密度和容量。此外由于存储单元之间距离更近，连接密度更大，可以实现更快的访问速度和更高的数据带宽。

垂直存储技术已经在各种领域得到应用。西部数据推出了车规级 3D NAND，其多层存储单元沿各层之间的互连以垂直的形式进行叠加，在实现更短的整体连接的同时，提高了存储的容量，并减小了存储硬件占用的空间，与位密度相似的 2D NAND 相比，具有更高的可靠性裕度。Zen3 在垂直方向上引入高速缓存 3D V-Cache，额外的缓存层可以提供更高的缓存容量与更低的延迟，从而提升访存性能。处理器内的核心可以更频繁地访问高速缓存中的数据，从而减少对主内存的访问，提高数据访问速度。这些方案利用垂直存储的优势，实现了更高的存储容量、更快的数据访问速度和更可靠的数据存储。

传统多芯粒集成系统的存储通常采用非一致内存访问结构（Non-Uniform Memory Access, NUMA），NUMA 结构提供了高效的共享数据方式和灵活的资源分配方案，但相应地需要解决如何加速跨核心的数据访问、提升维持数据一致性的通信速度。层次化缓存一致性协议和目录已被广泛研究用于芯片多处理器和

多芯粒服务器（Multi-socket）系统。在全局数据访问中，芯粒间缓存一致性管理访问开销较大，需要降低缓存一致性开销。

相较于追求高性能的传统多芯粒集成系统层次化存储结构，车规级芯粒系统芯片的存储管理可以在一定程度上省略、简化某些层次。车规级芯粒系统芯片需要考虑到工况环境，外存不宜选择对机械振动敏感的磁盘，而应选择闪存。对于动力系统发动机控制单元、底盘系统中的制动系统等系统，处理器和电子控制单元的功能单一，程序也相对简单固定，因此可以省略内存层级，此时外存层级可以使用小容量、高寿命的闪存或 ROM 存储控制程序作为替代。车规级芯粒系统芯片简化的存储层次结构可能导致不同存储层级的开销不同，降低缓存一致性开销的方法也会有所改变。

4.4 车规级芯粒系统芯片高速接口电路

随着车规级芯粒集成的数量和种类不断增加，更高的算力需求迫使总带宽不断增长，车规级芯粒通信需要高速接口电路。相较于传统的 PCB 级高速链路，车规级芯粒系统芯片高速接口电路的芯粒间互连距离通常于 1cm，甚至可以小于 1mm，信道的损耗迅速降低，利于高带宽设计；采用半导体制造工艺（光刻、蚀刻），芯粒间互连线间距可以在微米级，在单位面积下可以提高并行度；重点关注功耗效率、延迟、性能优化和可靠性。

车规级芯粒高速串行互连接口（Serializer-Deserializer, SerDes）凭借传输距离远、传输速度快和 I/O 数量少等优点，在芯片之间的高速互连场景中被广泛应用，它所采用的传输思想是通过差分信号实现数据高速传输，包括重驱动器（Redriver）和中继器（Retimer）两种实现方式。前者通过接收端（Rx）的连续时间线性均衡器（Continuous Time Linear Equalizer, CTLE）和发送端（Tx）的驱动器实现对损耗的补偿。CTLE 本质是一种滤波器，通过补偿信号的高频分量来抵消信道衰减。后者利用时钟数据恢复（Clock and Data Recovery, CDR）技术，通过先提取信号中的嵌入时钟恢复数据，再通过重新发送恢复的数据来保证信号传输质量，从而延长信号的传输距离。传统的重驱动器的功能较为简单，仅实现了信号的损耗补偿功能，且补偿修复能力有限。传统的中继器仅适用于串行链路，虽然包含信号调理、数据恢复和发送功能，但在面临数据链路受干扰较大不稳定的情况下，可能会因为没有可靠性数据传输机制而导致数据丢失，只能依赖于发

送端的重传机制避免错误，难以判断是哪一部分链路出现问题。

车规级芯粒高速并行互连接口由于 I/O 数量多的特点，一般被用于互连线资源丰富的硅基板集成中，具有设计难度低、传输延时小，单位数据量传输能耗低等优点，但也存在封装成本较高和并行信号之间的串扰会限制传输速率的问题。UCIe、AIB、BOW、OPEN HBI 等协议中对封装内的单端高速并行接口架构进行了规范，其中 UCIe1.1 协议中添加了汽车行业增强特性：预防监控（Preventive Monitoring）和运行时链路健康监测（Run-time Testability of Link Health）。预防监控通过添加状态寄存器用于记录训练时的眼图信息，从而让软件/硬件定期地重新训练链路来达到更好地均衡效果。运行时链路健康监测为每条 lane 都添加错误日志寄存器和计数器来实现中断信号的发送，软件/硬件可以定期注入校验的 flit 并监控错误日志寄存器来获得链路的健康信息，并在需要的时候修复它。

4.5 车规级芯粒系统芯片软硬件协同设计

软硬件协同设计可以实现车规级芯粒系统芯片的综合优化。自动驾驶算法与硬件架构深度耦合，二者的协同设计是实现高效智能计算的重要手段。软硬件协同设计通过软件设计与硬件设计的并行开发与相互反馈，协调软件和硬件之间的制约关系，有利于缩短开发周期并降低开发成本，其重点和难点在于软件任务与硬件任务的划分与调度，实现在满足目标约束的条件下提升芯片的整体计算能力。此外，软硬件协同设计可采用计算芯粒芯片作为中心载体，通过构建完备的芯粒异构计算体系，支持数据驱动人工智能系统进化，即利用实际驾驶场景获取数据，通过系统开发、测试、安全评估等自动化迭代过程，促进计算车规级芯粒系统芯片架构的优化设计。

软硬件协同设计需要综合考虑多个因素的影响。软硬件协同设计需要根据自动驾驶的应用场景设计深度学习算法，制定合理的算法优化与硬件架构调整策略，通过反复迭代达到硬件加速的需求。在开发策略方面，应考虑平衡精度和性能、数据链路的完整性（前后处理和网络加速相互配合）、多模型灵活调度、网络加速与应用直接配合等。在用户应用方面，需要考虑软件开发工具链与车载人工智能计算芯片的适配程度，并保证软件开发工具的开放性与便利性。此外，为实现兼容算法设计的快速迭代，硬件架构设计应具备一定的前瞻性以适配汽车电气架构的设计要求。

4.6 车规级芯粒系统芯片可靠性与安全性设计

车规级芯粒系统芯片需满足严苛的设计标准、规范的体系要求以及生产测试要求，以实现高可靠性和长期（>10 年）的质保承诺。可靠性要求指芯片设计的运行环境应覆盖车辆及其电控单元的应用环境要求，如温度、湿度等要求。可靠性设计需考虑晶体管老化导致晶体管性能变化，以及片上金属导线在大电流与高温下长期工作带来的可靠性问题。需要结合车规级芯粒系统芯片的规格要求进行电子迁移等规则检查，避免局部电流过大引起导线的可靠性问题。同时为满足部分电路大电流负载需要，对导线做加宽设计。在生产制造阶段还应考虑选择符合要求的工艺和材料。目前可靠性测试的主要参考标准是 AEC-Q100。AEC-Q100 规定了一系列可供参考的可靠性测试，同时定义了应力测试驱动型认证的要求以及 IC 认证的参考测试条件；根据工作温度、耐久性与可靠度等工作要求差异，AEC-Q100 将汽车电子产品分为 4 个等级，并提出了相应的测试要求。

车规级芯粒系统芯片安全性主要考虑功能安全和信息安全。功能安全主要考虑复杂的车载系统中芯片可能出现的失效，通过合理的安全机制的监控和诊断，及时发现潜在的失效，并及时进行失效处理，功能安全的主要参考标准是 ISO 26262《道路车辆功能安全》。信息安全主要考虑安全启动、用户认证、访问控制、数字签名、数据加密与解密等要求，常通过支持硬件加密与解密（含国密算法）、密钥管理及验签、安全/可信启动、安全升级、数据安全存储、安全与非安全域隔离等方式加以实现。目前信息安全的主要参考是 ISO/SAE 21434《道路车辆网络安全》及密码安全相关的标准。此外，在芯片软件过程改进及能力评定方面，需参考 ASPICE 相关标准。

第 5 章 车规级芯粒系统芯片的测试与验证

5.1 功能测试

芯粒技术可将不同的工艺甚至不同制造商提供的芯片封装集成到一个芯片中，为芯片设计提供了极大的灵活性，也引入了更为复杂的芯粒间互联，提升了芯片的复杂性，对芯片的功能测试带来了更严峻的挑战，尤其需要对信息芯片进行全面的测试来确保芯片的功能正确性。芯粒芯片的功能测试包括指令集测试、功能单元测试、中断功能测试、复位功能测试、存储器接口功能测试、外部接口功能测试、芯粒间互联接口功能测试等内容。

指令集测试是芯粒芯片功能测试的重要环节，对于确保芯片的正确性具有重要意义。通过编写测试激励、进行仿真验证以及比对测试结果，可以对芯片进行全面的指令集测试，发现并修复潜在的问题。在测试过程中，需要注重测试激励的多样性和全面性，以确保测试结果的准确性和可靠性。

功能单元测试专注于测试芯粒中各个功能模块的正确性。功能单元测试通过模拟芯片在实际应用中的工作环境，对芯片的各个功能模块进行逐一测试，以确保它们能够按照设计要求正常工作。通过对芯粒中的每一个功能模块进行独立的测试，以验证其功能是否符合设计要求。这些功能模块可能包括处理器核心、内存控制器、外设接口（如 USB、UART、SPI 等）等。通过功能单元测试，可以确保芯粒在单个功能模块层面上的正确性。

中断功能测试是验证芯粒的中断机制正确性的重要环节。中断是芯片与外部设备或内部模块之间的一种重要交互方式，它允许芯片在处理当前任务时能够暂停执行，转而处理更高优先级的任务（如外部事件触发），处理完成后返回原任务继续执行。中断功能测试确保芯片能够正确识别和处理中断请求，并在中断服务程序中执行相应的操作。

复位功能测试确保芯片在接收到复位信号后，能够按照设计要求将内部状态恢复到初始状态，并重新开始执行程序或任务。通过复位功能测试，可以确保芯片在复位操作后能够恢复到初始状态，从而保障芯片的稳定性。

存储器接口功能测试是确保存储器接口（如 DRAM、SRAM 等存储器的接口）与芯片其他部分之间的通信和数据传输功能正常运作的重要步骤。这种测试旨在验证存储器接口能够按照预期正确地读写数据，并且满足芯片设计的性能要

求。通过存储器接口功能测试，可以确保芯片中的存储器接口能够正常工作，并与芯片其他部分无缝协作。

外部接口功能测试是确保芯片与外部设备或系统之间的接口能够正常通信和交互的重要环节。这种测试旨在验证芯片通过其外部接口（如通信接口、时序接口、模拟接口等）与外部世界的数据传输和控制功能是否按照设计要求正确实现。通过全面评估芯片外部接口的功能和性能，确保芯片与外部设备或系统之间的通信和交互能够正常、稳定、安全地进行。

芯粒互联接口功能测试是确保芯粒之间通过 PCIe、CXL、UCIe 等高速互联接口互联时，能够正确、高效地进行通信和数据传输。这种测试旨在验证互联接口的物理连接、电气特性、通信协议以及数据传输的完整性和准确性。

5.2 性能测试

车规级芯粒系统芯片性能测试是指通过一系列测试手段和方法，对芯粒芯片的各项性能指标进行定量和定性的测量与分析，以验证芯片在运行时的工作能力和稳定性。这些性能指标包括整数运算性能、浮点运算性能、综合运算性能、缓存性能、访存性能等测试内容。

整数运算性能测试是评估芯片在执行整数运算时的性能和效率的重要环节。整数运算是芯片处理数据的基本操作之一，广泛应用于各种计算场景，如数值计算、逻辑判断、循环控制等。通过基准测试程序（如 Dhrystone、CoreMark 等），可以全面评估芯片的整数运算性能，从而验证其是否满足设计要求和应用需求。

浮点运算性能测试用于评估芯粒芯片在执行浮点运算时的性能和效率。通常通过执行一系列复杂的数学运算，如矩阵乘法、线性方程组求解等，来评估计算机在单位时间内能完成的浮点运算次数。这些测试可以使用 LINPACK 等基准程序来执行和测量。

综合运算性能测试用于全面评估系统在执行各种复杂运算任务时的性能表现。这种测试通常关注系统在处理大量数据、执行复杂算法或同时处理多个运算请求时的能力。这些测试可以采用 SPEC CPU、LINPACK 等基准程序来执行和测量。

缓存性能测试是针对缓存系统或缓存技术进行的一系列性能测试，用于评估缓存在不同场景下的性能表现。关注的缓存场景包括缓存命中率、访问延迟、吞

吐量、并发处理能力、缓存更新策略等。这些测试可以采用 CacheBench 等基准程序来执行和测量。

访存测试用于评估芯粒芯片在进行内存访问操作时的性能表现。测试内容包括访存延迟、访存带宽、并发访存等。通常采用 Stream、Perf 等基准测试程序来执行和测量。

5.3 可测试性设计与测试

集成电路可测试性设计贯穿芯片设计、制造和应用的全流程，在芯片产业链的质量成本控制、规模效益、工艺优化等诸多方面有着不可替代的关键作用。

传统芯片测试分为测试开发、测试应用两个阶段来开展工作。测试开发阶段与芯片的设计同期开展，是针对芯片设计自动生成测试向量集的软件过程；为了保证测试充分性并降低测试成本，需要在芯片中设计辅助测试电路，即进行可测试性设计（Design For Testability, DFT）。测试应用阶段是将测试向量集施加到芯片上的电气测试过程，可以在产品的不同形态和不同阶段上展开。本节将对测试开发进行详细说明。

目前已有成熟应用的测试开发技术包括专用(Ad Hoc)DFT 技术和通用 DFT 技术。专用 DFT 技术解决的主要是局部的可测试性问题，通常包括从实践中总结得到的一些好的设计规则，这些设计规则对电路的局部做出调整以增强电路的可测试性，比如：可测试性设计规则的检查和修复；测试点的插入，以提高电路内部节点的可控制性和可观测性等。通用 DFT 技术则尝试使用结构化设计方法学来提高整个电路的可测试性，主要包含扫描设计（Scan Design）、边界扫描（Boundary Scan）、内建自测试（Build-In Self-Test, BIST）、测试压缩等。

扫描设计技术将逻辑电路中的触发器（或锁存器）转换为扫描单元，并将所有扫描单元串接成若干移位寄存器，称之为扫描链，从而将同步时序电路转换成内部状态可控制和可观测的时序电路，将时序电路的测试生成转化为类似于组合电路的测试生成，降低了测试生成的复杂度，能够有效提高故障覆盖率、减少测试数据量从而缩短测试应用时间。

边界扫描，是将扫描设计应用于芯片的输入输出管脚，目的在于支持在印刷电路板上对芯片或板上逻辑与连接进行测试、复位和系统调试。边界扫描设计一般遵循 IEEE 1149.1 标准或在 IEEE 1149.1 标准基础上扩展的其他标准。IEEE

1149.1 标准又称为 JTAG 标准，是为支持板上芯片或逻辑的测试而定义的一种国际上通用的芯片边界扫描结构及其测试访问端口规范。

在 IEEE 1149.1 标准的基础上，为了支持更丰富的电路类型及其系统集成，以及为了支持在芯片内部不同 IP 核的系统集成，发展出新的电路接口封装标准 IEEE 1687（又称 Internal JTAG，IJTAG）。IJTAG 标准旨在为芯片上的嵌入式器件（IP 核）提供测试机制，利用 TAP 控制器来管理嵌入式器件的配置、操作和数据收集。

内建自测试减少了测试对外部测试设备的依赖性，也可支持现场测试或在线测试，这些特征在减少测试成本的同时，还能帮助提高系统的可靠性和可用性。它包含一个测试向量生成器用于给被测电路提供测试向量的输入激励，以及一个输出响应分析仪用于对被测电路在输入激励下的输出响应（或输出响应的特征值）进行判断以给出测试是否通过的结论。根据需要，BIST 测试的对象可以是一个随机逻辑电路（Logic BIST, LBIST），也可以是存储器（Memory BIST, MBIST）或其他模拟电路。

测试压缩是用来解决 VLSI 芯片测试存在测试数据规模大、测试时间长、需求的测试设备通道数量大等问题。

在插入相应的测试结构后，需要进行自动测试向量生成（Automatic Test Pattern Generation, ATPG），其目的是产生可以检测到某故障的测试激励，即芯片测试所需的电路逻辑输入值，以及期待响应，即正常电路应有的逻辑输出值。测试生成的第一要求是尽量提高所生成的测试激励的芯片缺陷检出能力，面向故障的测试生成是较为成熟的 ATPG 技术。

相较于超大规模的单芯片 SoC 技术，芯粒芯片技术在制造成本、灵活性、和可扩展性等诸多方面已经展现出明显优势。但就芯片测试而言，芯粒芯片测试复杂度更高，测试时间更长，测试成本显著增加，需要在传统芯片测试的基础上考虑 Pre-bond 测试、Post-bond 测试、芯粒互连测试及系统功能测试。

芯粒在集成前都必须经过非常严苛的 Pre-bond 测试，确保每个芯粒都是 KGD（Known Good Die）。芯粒的良率直接影响了芯粒芯片的良率，超高的芯粒良率是芯粒芯片获得高良率的前提。

芯粒在集成后还必须再经历一次同样严苛的 Post-bond 测试，以保证芯粒在

集成的过程中没有被损坏。但是，芯粒 Post-bond 测试的测试条件和集成前完全不同，芯粒的 I/O 端口不再能直接访问，只能通过非常有限的芯粒芯片外部管脚进行测试数据的传输。集成芯粒测试需要广泛应用 IEEE 1149.1-2001、IEEE 1500-2005（Embedded Core Test）、IEEE 1687-2014 和 IEEE 1838-2019（3DIC 测试）标准。除此之外，为了提升芯粒之间的数据传输效率，可以使用芯粒间的数据总线协议，例如 AIB（Advanced Interface Bus）和 UCIe（Universal Chiplet Interconnect Express）。为了实现芯粒集成后的测试成本优化，必须探索不同约束条件下多芯粒并行测试策略。同时，为了便于芯粒和芯粒内部的 IP 核在不同的系统层级上都能被有效测试，需要探索芯粒测试向量的层次化复用机制。

芯粒互连（D2D Interconnect）测试是芯粒芯片的另一个非常重要的测试。由于芯粒间互连加工工艺偏差等原因会引起一些随机分布的缺陷。同时，芯粒间高密度、高速的互连通道对于走线距离和材料介电常数非常敏感，容易引发信号串扰等，破坏芯粒间的互连通信，加剧了芯粒间互连的脆弱性。因此，对芯粒互连的测试质量评估，除了检测传统的固定型故障，还需要支持延时故障和高频率、高负载下的互连耦合故障。

芯粒芯片还需要芯粒集成后进行在不同工作环境和应用条件下的系统功能测试，以保证芯粒芯片在实际的功能运行中能正常工作。集成后的芯粒通常难以使用外部测试仪，需要定制自测试方法。

在高端的单芯片 SoC 生产过程中，测试成本可以占到整体生产成本的近 1/3。对于集成大芯片，这个成本占比只会更高。为了保证芯粒芯片的测试质量和降低测试成本，可测试性设计将起到至关重要的作用。

5.4 可靠性测试

车规级芯粒系统芯片的可靠性测试是确保汽车电子电控系统稳定运行和安全性的重要环节，通过一系列严格的可靠性测试项目，保证芯粒芯片能够在各种极端环境和应力下保持稳定的性能和可靠性，从而满足汽车行业对高可靠性和安全性的要求。测试项目包括 7 组：加速环境应力测试、加速寿命模拟测试、封装组装完整性测试、晶圆可靠性测试、电气特性测试、缺陷筛选测试和封装完整性测试。

加速环境应力测试通过模拟高温、低温、湿热和温度循环等极端环境条件，

采用预处理、温湿度偏置或高加速应力试验（THB 或 HAST）、高压试验和高温存储寿命测试等测试内容，检验芯片在这些环境下的可靠性和稳定性。

加速寿命模拟测试用于评估芯片在长期使用过程中的寿命和稳定性，测试项目包括高温工作寿命（HTOL）测试和早期寿命失效率（ELFR）测试等，通过模拟芯片在长时间使用过程中可能面临的环境和应力，预测其实际使用寿命。

封装组装完整性测试用于验证芯片的封装质量和可靠性。测试项目包括焊点可靠性测试、环境应力下的封装完整性测试和封装材料的耐久性测试等，确保芯片在不同环境条件下封装的质量和可靠性。此外，还包括绑线剪切、绑线拉力等机械性测试，以防止封装过程中的机械损伤或连接失效。

晶圆可靠性测试用于评估芯片制造过程中的稳定性和可靠性，测试项目包括电迁移（Electro-Migration, EM）、老化（Aging）等测试，模拟芯片在制造和使用过程中可能遇到的问题，确保芯片的长期稳定性和可靠性。

电气特性测试用于确保芯片的电气性能满足要求。测试项目包括故障仿真和测试分级、静电放电（Electro-Static Discharge, ESD）测试、闩锁效应（Latch-Up）分析和测试、电磁兼容性测试以及软误差率测试等，确保芯片在电气环境中的稳定性和抗干扰能力。

缺陷筛选测试用于发现芯片中的潜在问题。测试项目包括过程平均测试和统计良率分析等，对芯片进行全面的缺陷筛查和分析，以确保最终产品的质量可控。

封装完整性测试用于确保芯片在运输和使用过程中不受到损坏或性能下降。测试项目包括机械冲击测试、扫频振动测试、恒定加速度测试等，以验证芯片的封装能否在恶劣环境下保护芯片免受损害。

5.5 功能安全测试

近年来，新能源及人工智能产业的快速发展正在推动汽车产业的数字化变革，传统分布式的汽车电子电气架构正在逐步向域控制式以及中央计算平台演进，不同类型智能座舱、智能驾驶解决方案在新车型上的创新及搭载率快速提升。汽车智能化率在高速增长的同时，也展现出产品层次及功能需求显著多元化的特点，而汽车芯片作为核心“大脑”，在传统 SoC 设计思路下，单芯片如何能够灵活适配于不同车型的需求，亦往往成为取舍痛点。芯粒架构通过将 SoC 中的通用模块与专用模块解耦并分别生产成小芯粒，由主机厂以及 Tier1 根据自身车型适配

需求进行灵活选择并异构集成，可提供兼顾高性能、安全稳定、成本可控、扩展性强、迭代周期短等综合需求的解决方案，将成为未来中央计算平台硬件架构的重要的发展方向。

然而，汽车安全涉及人身安全，车规芯片的高安全性、稳定性和可靠性是智能驾驶的核心保障。芯粒必须符合功能安全标准才能应用在车规领域。ISO 26262 标准是全球公认的汽车功能安全标准，覆盖产品的全部生命周期。采用基于风险的分析方法，提出了对于功能安全管理、设计、实现、验证、确认和认可措施的要求。因此，根据 ISO26262 标准的要求，车规芯粒需经过基于注错的故障仿真和 FMEDA 的流程，完成安全等级的认证才能应用到汽车领域。

5.5.1 车规芯粒的故障仿真

故障仿真是芯片验证的常用分析方法，也是 ISO26262 推荐使用故障分析方法。故障仿真验证了芯片中数据和控制路径的测试集的完整性，它将假设的故障注入芯片设计并对注错的芯片进行故障仿真，然后将结果与没有注错的设计的逻辑仿真结果进行比较。如果测试能够检测到故障，则很有可能会检测到该芯片区域的设计错误。对芯粒进行故障仿真的流程如图 5.1 所示。

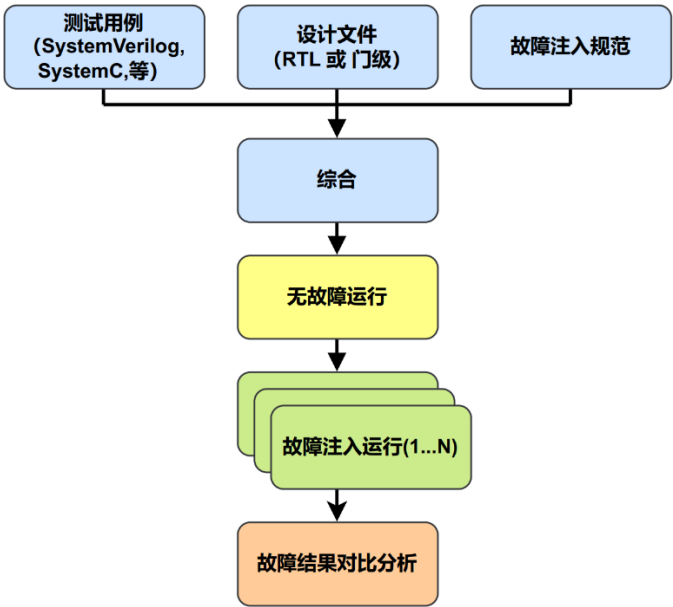


图 5.1 故障注入仿真流程

- （1）加载电路设计和测试激励。读取 RTL/Gate-Level 电路设计和 Testbench 测试激励文件，执行 Elaboration，完成设计的解析。
- （2）生成故障列表。根据电路设计的结构，在引线或者端口等位置上生成故

障列表，常见的故障类型包括固定型（Stuck-at）故障和瞬态（Transient）故障。

（3）执行逻辑仿真。执行无故障注错的逻辑仿真（Good Simulation），在输出端口获取期望的正确仿真值。

（4）执行故障仿真。在电路设计中注入故障，通过仿真传播故障效应，在输出端口获取故障响应，并与逻辑仿真的结果进行对比，以判断故障效应是否被检测到。

（5）输出故障分类。根据故障是否传播到功能输出端口（Functional Output）以及安全机制（Safety Mechanism）是否报警，将故障进行分类，包括 Safe Undetected（SU）、Safe Detected（SD）、Dangerous Undetected（DU）、Dangerous Detected（DD）。最终根据故障分类计算出诊断覆盖率（Diagnosis Coverage）并反标给 FMEDA 进行分析。

5.5.2 车规级芯粒系统芯片功能安全分析

芯粒的功能安全测试旨在评估芯粒是否达到车规级芯片安全等级要求。ISO26262 中将 ASIL 分为 4 个级别，分别是 ASIL A、ASIL B、ASIL C、ASIL D 四个等级，其中 D 是最高安全等级。等级越高，即代表硬件失效的概率越低。评估方法一般采用 FMEDA 方法。FMEDA 是一种评估系统安全架构和实施的有效方法，多用于硬件定量分析。其流程如下。

1. 计算芯粒的失效率

根据芯粒的硬件架构，列出所有的硬件单元，从元器件失效率相关的标准（SN29500、IEC62380 等）中查询失效率及不同失效模式所占的比例，并将参考失效率根据产品的使用环境转化为可以用于分析计算的失效率。失效率是指元器件在单位时间内发生失效的概率，记为 λ ，一般以小时（h）作为时间计量单位，所以其单位为：次/h。一般采用 FIT（Failure in Time）来计量，1FIT 表示在 10^9 h 内有 1 次失效。

2. 区分失效模式

根据失效模式分析的流程图及是否会违反安全要求，逐个确认硬件单元的失效模式是否是安全相关的，是否有相应的安全机制保护，直至分类该失效模式为安全故障、单点故障、残余故障、可检测的多点故障或者潜伏的多点故障。

3. 计算诊断覆盖率

通过故障仿真的方式，在芯粒设计电路中注入固定型故障或者瞬态故障，对故障执行分类，获取安全机制的诊断覆盖率，并将诊断覆盖率反标回 FMEDA 中。

4. 计算量化指标

根据单点故障度量（Single Point Fault Metric, SPFM）、潜伏多点故障度量（Latent multiple point Fault Metric, LFM）和随机硬件失效概率度量（Probabilistic Metric for random Hardware Failure, PMHF）的公式计算出硬件架构的各项衡量指标，以评估计算分析结果是否符合相应安全等级的衡量指标，如图 5.2 所示。

SPFM 用于衡量芯片的安全机制对单点故障的保护和纠错效率。

LFM 用于衡量芯片的安全机制对多点故障的保护和纠错效率。

PMHF 表示在汽车运行周期中每小时平均失效概率，包括了对单点失效，残余失效，可检测的以及潜伏的双点失效的综合量化衡量。PMHF 单位为 FIT，属于失效率绝对值度量，而硬件架构度量指标 SPFM, LFM 单位为%，属于相对值度量。除基本硬件随机基本故障的失效率以外，PMHF 还需要考虑车辆生命周期（Lifetime）。

	ASIL B	ASIL C	ASIL D
Single Point Fault Metric (SPFM)	>= 90% +	>= 97% ++	>= 99% ++
Latent Fault Metric (LFM)	>= 60% +	>= 80% +	>= 90% ++
Prob. Metric HW Failure (PMHF)	<100 (FIT)	<100 (FIT)	<10 (FIT)

图 5.2 量化指标

5. 生成 FMEDA 报告

功能安全分析的最终输出是一份总结效模式、影响及诊断分析的 FMEDA 报告。根据该报告评估当前芯粒是否满足车规安全等级要求，如不满足则需重新优化设计。

综上，对比传统 SoC 芯片，芯粒芯片因为由多个不同的芯粒互联组成，且每个芯粒内部包含不同电路设计模块，所以在对车规芯粒进行 FMEDA 分析时，要根据实际的需求考虑是否将整个集成芯片，还是单独将部分芯粒，甚至芯粒内部的部分设计电路作为组件（Component）分别进行功能安全分析。同样，选择了

不同层次的组件，就需要对相应层次的电路设计进行故障仿真，获取诊断覆盖率。

5.6 信息安全测试

芯粒涉及来自不同 IP 厂商的多个组件的集成，不同来源的芯粒可能存在安全隐患，如潜在的漏洞或恶意代码。同时，随着芯粒的广泛应用，数据泄露、恶意攻击等信息安全风险增加。相比传统芯片安全问题，芯粒信息安全风险主要包括芯粒溯源问题和芯粒木马攻击。

5.6.1 芯粒溯源

芯粒溯源对于芯粒安全至关重要。芯粒涉及多个组件的集成，不同来源的芯粒可能存在安全隐患。芯粒的溯源测试主要指的是对芯粒的来源和安全性进行追溯和验证的过程，以确保芯粒在设计、制造、封装和测试等环节中没有被篡改或植入恶意功能。芯粒溯源面临的风险包括以下几类。

（1）恶意功能植入：一些参与者可能会克隆芯粒功能，并在其中添加恶意功能，然后将其插入供应链，从而威胁整个系统的安全。

（2）供应链威胁：芯粒供应商众多，供应链的复杂性增加了芯粒被篡改或攻击的风险，例如出现错误、生产过剩、假冒产品、逆向工程、侧通道和回收等问题。

（3）安全漏洞：将多个芯粒集成到一个异构封装中可能会导致安全漏洞，以及与在设计、组装或测试期间对单个芯粒的恶意修改或攻击相关的潜在风险。

（4）攻击面扩大：芯粒之间的连接更容易跟踪，这就产生了中间人攻击的可能性，同时也增加了硬件木马的威胁。

针对于此，可能的测试方法包括几种。

（1）基于物理不可克隆功能（Physical Unclonable Function, PUF）的身份验证：使用物理不可克隆功能作为标识符，确保每个芯粒都可以被识别。

（2）供应链管理：确保整个供应链中芯粒组件的来源完整性和可追溯性，通过验证和追溯每个芯粒的来源，识别和响应可能出现的任何安全或信任问题。

5.6.2 芯粒木马攻击

芯粒木马攻击一般包括硬件木马攻击和侧信道攻击等。

1. 芯片硬件木马攻击

硬件木马是指在芯片的设计、制造或封装过程中，恶意行为者对构成芯粒的

一些芯片进行逆向工程，并用恶意芯片替换的攻击技术。这种恶意芯片可能被植入了特定的功能，例如窃取数据、破坏系统功能或在特定条件下触发恶意行为等。硬件木马攻击通常具有隐蔽性，很难被检测到，因为它们可能在芯片的正常功能中隐藏起来，只有在特定的条件下才会被激活。芯粒的硬件木马攻击对芯粒安全带来了以下挑战。

（1）安全威胁增加：在异构系统中，由于小芯片可能来自不同公司，存在恶意行为者对构成小芯片的一些芯片进行逆向工程并用恶意芯片替换的风险，这对整个基于小芯片的系统构成了严重威胁，尤其是在物联网等领域，这种攻击更容易实现。

（2）攻击面扩大：芯粒之间的连接更容易跟踪，导致中间人攻击的可能性增加，进一步加剧了安全风险。

（3）供应链复杂：芯粒供应商众多，供应链的复杂性使得确保芯粒安全的难度加大，难以保证每个芯粒的来源和安全性。

（4）检测难度大：小芯片可以进行逆向工程，且检测小芯片是否被篡改存在一定困难，目前的解决方案仍面临诸多挑战，如加密和解密的复杂性、不同 IP 之间的协调等。

针对芯片硬件木马攻击，可能的防御和测试办法包括：

（1）测试阶段检测：功能测试：进行全面的功能测试，以检测芯片是否正常工作，是否存在异常行为。侧信道分析：通过侧信道分析技术，如功耗分析、电磁分析等，检测芯片是否存在硬件木马。形式化验证：使用形式化验证方法，如模型检查、定理证明等，验证芯片的设计是否满足安全属性。

（2）运行阶段监测：入侵可测试设计：在芯片运行阶段部署入侵检测和测试系统，实时监测芯片的运行状态，及时发现并响应攻击。安全更新：及时对芯片进行安全更新，修复可能存在的漏洞和安全隐患。

2. 侧信道攻击

芯粒信息安全检测还应包括对侧信道攻击的测试。侧信道信息是指侧信道攻击可以通过分析芯片在运行过程中产生的侧信道信息，如功耗、电磁辐射等，获取芯片中的敏感信息，如密钥、密码等，从而导致信息泄露。而在一些最新的芯片安全攻击案例中，侧信道攻击往往作为攻破芯片安全防护第一把的攻城锤来使

用。针对芯粒侧信道攻击的测试方法包括以下几种。

(1) 功耗分析测试：通过测量芯片在运行过程中的功耗变化，分析是否存在异常的功耗模式，从而检测是否存在侧信道攻击。

(2) 电磁辐射分析测试：使用电磁辐射传感器检测芯片在运行过程中产生的电磁辐射，分析电磁辐射的特征，以检测是否存在侧信道攻击。

(3) 噪声分析测试：对芯片运行过程中的噪声进行分析，检测是否存在异常的噪声信号，从而判断是否存在侧信道攻击。

(4) 形式化验证：使用形式化验证方法，对芯片的设计进行验证，确保芯片在侧信道攻击方面具有足够的安全性。

5.7 环境适应性测试

车规级芯粒系统芯片的环境适应性测试是确保芯片在各种恶劣和极端环境条件下能够稳定工作的关键步骤。这些测试用于模拟汽车在实际使用过程中可能遇到的各种环境条件，包括温度、湿度、振动、电磁干扰等，以确保芯片在这些条件下的可靠性和耐久性。车规级芯粒系统芯片环境适应性测试的主要内容包括温度适应性测试、湿度适应性测试、振动冲击测试、电磁兼容性测试等。

温度适应性测试包括高温测试、低温测试和温度循环测试等。其中高温测试将芯片置于高温环境中，模拟汽车发动机舱或阳光直射下的高温情况，评估芯片在高温下的稳定性和性能。低温测试将芯片置于低温环境中，模拟寒冷地区或极端气候条件下的低温情况，评估芯片在低温下的启动和运行情况。温度循环测试使芯片在高低温之间循环变化，模拟汽车在不同气候区域行驶时的温度变化，评估芯片在温度波动下的耐久性。

湿度适应性测试包括湿度测试和湿热测试。其中湿度测试将芯片置于高湿度环境中，模拟潮湿地区或雨天车内的高湿度情况，评估芯片在潮湿环境下的电气性能和稳定性。湿热测试结合高温和高湿度条件，模拟极端潮湿和高温的环境，评估芯片在这种极端条件下的可靠性和耐久性。

振动测试将芯片固定在振动台上，模拟汽车在行驶过程中产生的振动，评估芯片在振动环境下的性能和结构完整性。冲击测试模拟汽车在行驶过程中可能遇到的突然冲击，如碰撞或颠簸，评估芯片在冲击下的耐受能力和稳定性。

电磁兼容性测试评估芯片在电磁环境中的抗干扰能力和对其他设备的电磁

辐射影响。这包括静电放电测试、电磁场辐射测试和电磁场敏感度测试等。

通过这些环境适应性测试，可以确保车规级芯粒系统芯片在各种恶劣和极端环境条件下都能保持稳定的性能和可靠性，从而满足汽车行业对高可靠性和安全性的严格要求。同时，这些测试也为芯片制造商提供了重要的数据支持。

第 6 章 标准体系建设及规划

6.1 标准需求分析

标准化的车规级芯粒的设计、验证和集成、集成验证，有助于推进车规级芯粒的广泛应用和更新迭代，利于汽车芯片行业的快速、高质量进步，最终可以支撑和保障汽车产业的健康、可持续发展。工作组对车规级芯粒的标准需求进行研究分析，提出了车规级芯粒的标准体系建设框架，并对近期工作进行了规划，以促进车规级芯粒技术的研究、应用和健康发展。

由于芯粒的自身优势，自芯粒技术提出以来其受到了国内外学术界和产业界越来越广泛的关注，同时对芯粒技术的标准研究制定工作在最近三年以来也陆续开始启动，以引领和规范芯粒技术的发展进步。

通用芯粒标准研究方面，在国外，2022 年 3 月，Intel、AMD、ARM 等十大行业巨头联合成立了芯粒标准联盟，推出了通用芯粒的高速互联标准通用芯粒互连技术（Universal Chiplet Interconnect Express, UCIe）。2024 年 3 月，IEEE Chiplet Interface Circuit 研究工作组通过了 IEEE 新标准委员会的立项评审和 IEEE 标准组织董事会的批准，开始通用芯粒接口电路标准的研究制定工作。在国内，中国电子技术标准化研究院、无锡芯光互连技术研究院有限公司等起草制定的 T/CESA 1248-2023《小芯片接口总线技术要求》已于 2023 年 1 月发布，由中国电子科技集团公司第五十八研究所、电子科技大学等起草制定的 T/CIE 192-2023《芯粒间互联通信协议》于 2024 年 1 月正式实施。在车规级芯粒标准研究方面，国内外少有见到相关研究和报道。

车规级芯粒系统芯片标准方面，国际上目前有 AEC-Q104 标准对类似车规级芯粒系统芯片的多芯片组件提出了可靠性测试标准；中国电子工业标准化技术协会、中国电子技术标准化研究院等启动了该标准的国产转化工作，目前该标准对元器件的可靠性测试要求相比于 AEC-Q101 标准中对于汽车芯片的可靠性测试要求大部一致、局部宽松；中国汽车工业协会标准法规委员会汽车芯片专业委员会组织汽车及芯片行业单位开展了《汽车多芯片组件 可靠性及功能安全分级检测要求》、《汽车座舱域控系统计算芯片技术要求及试验方法》等车规级芯片标准立项和编制；国创中心牵头制定并发布《汽车用集成电路失效分析程序与要求》、《纯电动乘用车控制芯片功能安全要求及测试方法》等车规级芯片标准。

工作组在已有工作基础上，经分析研究认为，相比通用芯粒，车规级芯粒的研制，要解决以下关键问题。

（1）车规级芯粒系统芯片的架构新范式设计：科学分析智能汽车应用的复杂需求，分解、组合不同种类和数量的芯粒，集成并优化获得符合汽车可靠性和安全性要求的芯粒集成系统架构；

（2）车规级芯粒系统芯片的可靠性、安全性和可测性设计：按照车规级芯片严格的安全性要求，设计符合可靠性标准 AEC-Q100、质量管理标准 ISO/TS 16949、功能安全标准 ISO26262 等认证体系的芯粒集成系统；

（3）车规级芯粒系统芯片的物理制造及设计自动化：解决芯粒的数量和种类大幅提升带来的设计复杂度的爆炸式增长难题，在满足车规级可靠性和安全性要求下完成不同种类芯粒的高效生产和制造；

（4）车规级芯粒系统芯片的可靠性软件及软硬件协同：为由不同编程范式的不同种类芯粒组成的芯粒集成系统设计统一高效的配套基础软件，在满足车规级可靠性和安全性要求前提下实现软硬件协同优化。

总体而言，与通用芯粒相比，车规级芯粒需要充分考虑芯粒在汽车上应用的实际需求，需要有效开展车规级芯粒的标准化工作，更好满足汽车技术和产业发展需要。自 2021 年国创中心发起、中国汽车芯片产业创新联盟组织下，联合中汽中心、电子四院、电子五所等单位专家成立“汽车芯片标准体系建设研究工作组”，对汽车芯片标准现状、技术结构、标准化需求、体系架构、体系明细进行了研究，历时两年形成 5 项汽车芯片标准体系建设研究成果。工信部组织国创中心、中汽中心、电子四院、电子五所等单位起草《国家汽车芯片标准体系建设指南》并于 2024 年 1 月印发，为车规级芯粒的标准化工作奠定了良好的基础。

6.2 标准体系建设

车规级芯粒系统芯片标准体系逻辑，基于科学、合理的汽车芯片标准体系，并与《国家汽车芯片标准体系建设指南》中汽车芯片标准体系技术逻辑保持基本的协调一致，具体逻辑如下。

（1）应用场景部分：以“车规级芯粒应用场景”为横向基础，划分为动力系统、底盘系统、车身系统、座舱系统、智驾系统等 5 个方面。

（2）基础通用部分：对汽车芯片、芯粒产业分析，描述车规级芯粒的共性要

求，提出对芯粒集成所高度需求的接口与通信、软件设计要求，及芯粒和芯粒集成系统基于汽车应用场景对环境及可靠性、电磁兼容、功能安全、信息安全的要求，共计 6 个方面。

（3）产品与技术应用部分：根据汽车芯片应用和芯粒划分的功能模块，将车规级芯粒划分为控制芯粒芯片、计算芯粒芯片、传感芯粒芯片、通信芯粒芯片、存储芯粒芯片、安全芯粒芯片、新能源芯粒芯片共七个类别，其中新能源芯粒芯片可进一步细分为功率芯粒芯片、驱动芯粒芯片、电源管理芯粒芯片等。

（4）匹配试验部分：车规级芯粒相互之间的匹配情况的试验验证，以及集成形成的芯粒芯片在动力系统、底盘系统、车身系统、座舱系统、智驾系统等应用方向的系统匹配试验验证和整车匹配涉及的整车道路、整车台架等技术方向的试验验证等 3 个方向。

依据图 6.1 所示的车规级芯粒系统芯片标准体系逻辑结构，和车规级芯粒适用于汽车不同应用场景的需求，将车规级芯粒标准体系架构定义为基础、通用要求、产品与技术应用、匹配试验等 4 个部分，同时根据内容范围、技术要求等方面的共性和差异对 4 个部分做进一步细分形成 17 个子类，如图 6.2 所示。

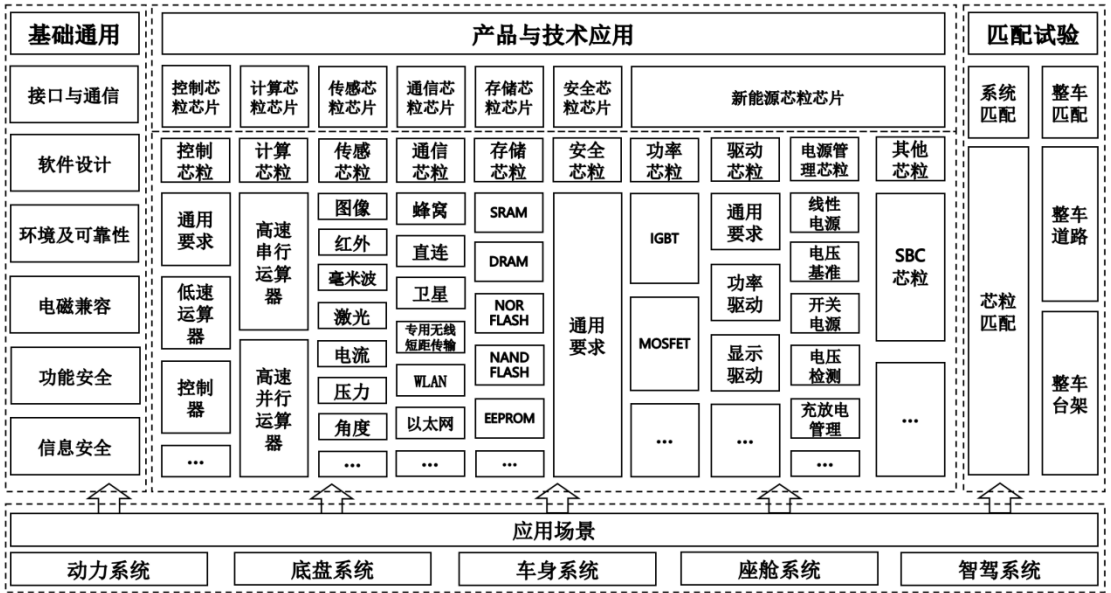


图 6.1 车规级芯粒系统芯片标准体系逻辑结构

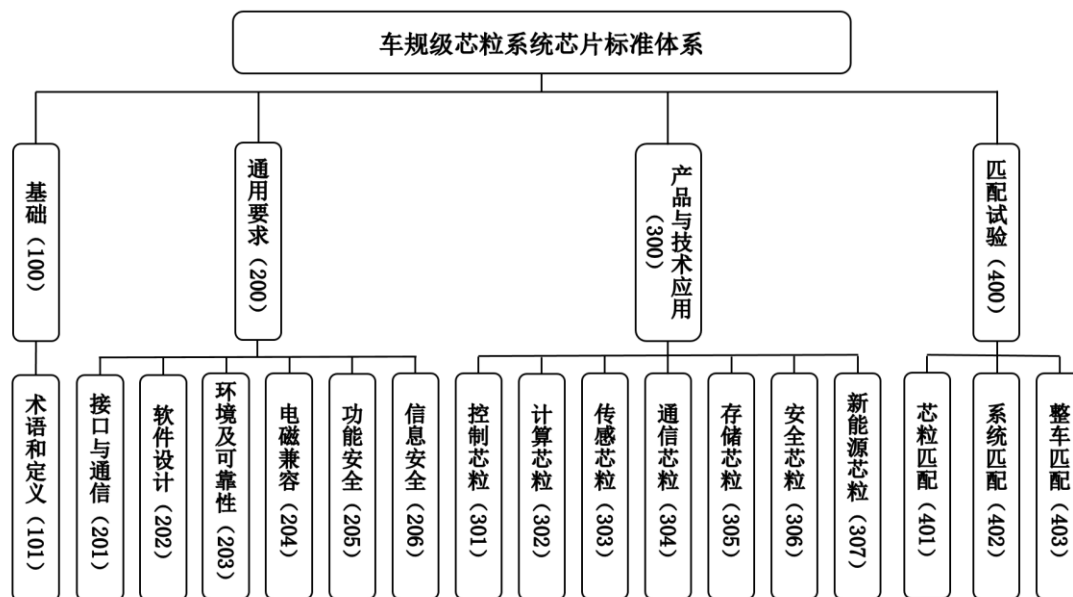


图 6.2 车规级芯粒系统芯片标准体系架构

车规级芯粒系统芯片标准体系的建设分为以下方向。

(1) 基础 (100)：基础类标准包括车规级芯粒、车规级芯粒系统芯片的术语和定义标准，明确术语和定义的对象、范围、边界，避免标准制定的交叉、重复。

(2) 通用要求 (200)：通用要求类标准对车规级芯粒、车规级芯粒系统芯片的共性要求和评价准则进行规范，保障车规级芯粒技术标准可以作为相关产品功能、性能、可靠性等测试的科学、客观依据。包括接口与通信、软件设计、环境及可靠性、电磁兼容、功能安全、信息安全等 6 个方面。

(3) 产品与技术应用 (300)：产品与技术应用类标准基于汽车应用场景，对车规级芯粒、车规级芯粒系统芯片进行科学分类，并规范各类车规级芯粒、车规级芯粒系统芯片所应符合的技术要求及试验方法。

(4) 匹配试验 (400)：匹配试验类标准直接基于应用场景，规范车规级芯粒相互之间匹配，以及车规级芯粒系统芯片在所属零部件系统或整车搭载状态下的试验方法。

6.3 工作规划

国家新能源汽车技术创新中心计划联合清华大学、北京大学、中山大学、哈尔滨工业大学、中科院计算技术研究所等单位组建车规级芯粒系统芯片专业委员

会，秘书处单位为国家新能源汽车技术创新中心，在现有的以高校院所为主的成员单位基础上，广泛邀请整车、芯片、基础软件、工具等企业单位和检测认证机构等事业单位，共同把控标准发展规划，制定系列标准。

第7章 结论与展望

芯粒技术凭借其灵活性高、良品率高、设计难度低、产业化周期短等优势，在汽车产业高度智能化的当下，成为各企业在算力时代的必然选择。芯粒技术的发展和进步，需要借助标准的引领、规范作用，以更快速、稳健的推动芯粒技术的产业化和应用。

有鉴于此，工作组在 2024 世界智能网联汽车大会期间发布综合研究报告，阐述工作组的思考和初步成果。工作组将进一步完善并发布车规级芯粒的标准体系建设框架，推动车规级芯粒标准的制定、应用推广和更新完善，并推动关键标准在国家标准、国际标准层面的研究制定。

在全产业链行业的共同推动下，车规级芯粒技术的研究、应用必将取得长足的发展和进步，推动我国汽车产业的高质量发展，助力新形势下我国科技进步和国民经济发展。在快速发展的汽车科技领域中，车规级芯粒系统芯片作为核心组件，其研究与应用尚存在诸多挑战与未知。因此，本综合研究报告在撰写过程中力求严谨、客观，旨在为行业内外专家、学者及决策者提供一个参考视角，而非终极答案。我们希望借此能够激发更多有价值的讨论与合作，共同推动车规级芯粒系统芯片技术的持续进步与创新。

主要参考文献

- [1] 国家汽车芯片标准体系建设指南, 2024.
- [2] 集成芯片与芯粒技术白皮书, 2024.
- [3] 李兆麟, 王明羽, 魏少军, 众核处理器—原理、设计与优化, 清华大学出版社, 2021.
- [4] 姜克, 吴华强等, 车规级芯片技术, 清华大学出版社, 2024.
- [5] 车载智能计算平台功能安全白皮书. 2020.
- [6] 汽车功能安全白皮书, 2023.
- [7] 车载人工智能计算芯片白皮书, 2021.
- [8] K. Sukeshwar, et al. Impact of TSV Process on 14nm FEOL and BEOL Reliability. IEEE International Reliability Physics Symposium (IRPS), 2017.
- [9] P. Vivet, E. Guthmuller, Y. Thonnart, et al. IntAct: A 96-Core Processor with Six Chiplets 3D-stacked on an Active Interposer with Distributed Interconnects and Integrated Power Management. IEEE Journal of Solid-state Circuits (JSSC), 2016, 56(1): 79-97.
- [10] R. Hwang, T. Kim, et al. A Chiplet-based, Hybrid Sparse-Dense Accelerator for Personalized Recommendations, in Proc. ACM/IEEE 47th Annual International Symposium on Computer Architecture (ISCA), 2020.
- [11] X. Ma, et al. Survey on Chiplets: Interface, Interconnect and Integration Methodology. CCF Transactions on High Performance Computing, 2022.
- [12] J. Xia, et al. Kunpeng 920: The First 7-nm Chiplet-based 64-Core ARM SoC for Cloud Services. IEEE Micro, 2021.
- [13] R. Rishav, et al. Co-design of Thermal Management with System Architecture and Power Management for 3D ICs. in Proc. IEEE 72nd Electronic Components and Technology Conference (ECTC), 2022.
- [14] A. Vinayak, et al. Level 4 Autonomous Driving SoC, Leveraging Chiplet, Advanced Package and UCle. in Proc. IEEE Symposium on High-Performance Interconnects (HOTI), 2023.
- [15] Y. Shao, J. Cemons, et al. Simba: Scaling Deep-Learning Inference with Chiplet-Based Architecture. Communications of the ACM 64.6 (2021): 107-116.
- [16] S. Teja, et al. Zen2: The AMD 7nm Energy-efficient High-performance x86-64 Microprocessor Core. in Proc. IEEE International Solid-State Circuits Conference (ISSCC), 2020.
- [17] B. Thomas, et al. Zen3: The AMD 2nd-Generation 7nm x86-64 Microprocessor Core. in Proc. IEEE International Solid-State Circuits Conference (ISSCC), 2022.
- [18] P. Onufryk, C. Swadesh. UCle: Standard for an Open Chiplet Ecosystem. IEEE Micro, 2024.
- [19] D. Sharma, et al. An Introduction to the Compute Express Link (CXL) Interconnect. ACM Computing Surveys, 2023.
- [20] G. Duan, Y. Kanaoka, et al. Die Embedding Challenges for EMIB Advanced Packaging Technology, in Proc. IEEE 71st Electronic Components and Technology Conference (ECTC), 2021.
- [21] D. Sharma, et al. Universal Chiplet Interconnect Express (UCle): An Open Industry Standard for Innovations with Chiplets at Package Level, IEEE Transactions on Components, Packaging and Manufacturing Technology, 12(9): 1423-1431, 2022.
- [22] N. Alessandra, A. Armato. Functional Safety Methodologies for Automotive Applications. in Proc. IEEE/ACM International Conference on Computer-Aided Design (ICCAD). 2017.
- [23] 芯粒互联接口标准 ACC1.0, 2024.
- [24] 车规级芯粒互联接口标准 ACC_RV1.0, 2024.